

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317503

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H01L 27/10  
G06F 15/78  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 11-035391

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.02.1999

(72)Inventor : KURODA KENICHI

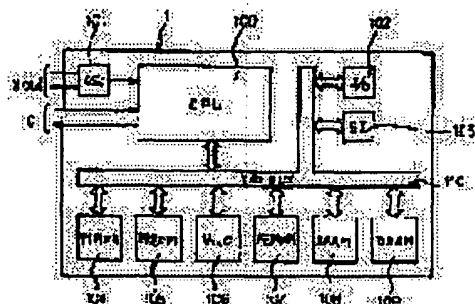
## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the functions of a semiconductor integrated circuit device which is made of a single-chip microcomputer.

**SOLUTION:** A CPU 100, a SRAM 108 and a DRAM 109 are integrated on the same semiconductor substrate.

Next, the SRAM 108 is used for rapid data transfer in a small capacity, while the DRAM 109 is used for slow data transfer but in a large memory capacity, so that a RAM which obviates the mutual defects of the SRAM 108 hard to have the large capacity as well as the slow transfer velocity of the DRAM 109 can be obtained.



d cisi n of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Semiconductor integrated circuit equipment characterized by accumulating CPU, and SRAM and DRAM on the same semiconductor substrate.

[Claim 2] Semiconductor integrated circuit equipment according to claim 1 characterized by Above CPU containing a control section, operation part, and a register at least.

[Claim 3] Semiconductor integrated circuit equipment according to claim 1 or 2 characterized by connecting Above SRAM with Above CPU through an internal bus, and operating as a cache memory.

[Claim 4] Semiconductor integrated circuit equipment given in any 1 term of the claim 1 characterized by the capacity of Above SRAM being smaller than the capacity of Above DRAM, or a claim 3.

[Claim 5] Above CPU, Above SRAM, and Above DRAM are semiconductor integrated circuit equipment given in any 1 term of the claim 1 characterized by connecting mutually through an internal bus, or a claim 4.

[Claim 6] Semiconductor integrated circuit equipment which DRAM is formed in the 1st field of the same base, SRAM is formed in the 2nd field, and CMOSFET is formed in the 3rd field, and is characterized by the capacity of Above DRAM being larger than the capacity of SRAM.

[Claim 7] Above CMOSFET is semiconductor integrated circuit equipment according to claim 6 characterized by constituting some circuits of CPU at least.

[Claim 8] Semiconductor integrated circuit equipment according to claim 6 or 7 characterized by forming the gate electrode of NMISFET of Above SRAM, and the gate electrode of Above CMOSFET of the same conductor layer.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention is applied to the semiconductor integrated circuit equipment which consists of a 1 chip microcomputer especially about the manufacture method of semiconductor integrated circuit equipment, and relates to effective technology.

[0002]

[Description of the Prior Art] 1 chip microcomputer which carried a control section, operation part, the storage section, and the I/O section on the same semiconductor substrate is widely used for industrial use or household electric appliances as a cheap and highly efficient element for control as indicated by the Masaharu Hayakawa work "the foundation and the applied technology of an one chip microcomputer" published from CQ publication incorporated company on April 1, Showa 59. The storage section of the aforementioned 1 chip microcomputer consists of a ROM (Read Only Memory) a program, dictionary data, etc. for various information processing are remembered to be, and RAM (Random Access Memory) where the data in the middle of the program and operation under execution are mainly stored temporarily.

[0003] Although the mask ROM which usually writes in data into a manufacturing process is used as the above ROM, in order to make system debug etc. easy, EPROM (Erasable and Programmable ROM) which can write in data after manufacture is also used widely. Since EPROM can perform elimination of the data by irradiating ultraviolet rays, any number of times, it can perform informational rewriting and can obtain 1 chip microcomputer with big flexibility.

[0004]

[Problem(s) to be Solved by the Invention] this invention person found out the following trouble, as a result of examining 1 chip microcomputer equipped with EPROM as a ROM.

[0005] Rewriting of the data in Above EPROM is performed by irradiating ultraviolet rays. For this reason, after incorporating the aforementioned 1 chip microcomputer into electronic equipment, the information on EPROM is not easily rewritable. For this reason, in EPROM, there was a problem that the data storage which changes with time like the control data of the electronic equipment by which feedback control is made, for example was not made. And since the data for feedback control must be memorized in 1 chip microcomputer in preparation for the time of resuming operation after the power supply of electronic equipment is intercepted, it is surely necessary to memorize them by nonvolatile memory. Then, in order to memorize the control data which changes with time, it is possible to use EEPROM (Electrically Erasable and Programmable ROM). If it is this EEPROM, the data in it can be rewritten according to the control signal from the control section of 1 chip microcomputer on a system, and the aforementioned data can be memorized also at the time of power supply interception.

[0006] However, the thing performed to the memory cell of EEPROM when it has a floating-gate electrode like the memory cell of EPROM and informational storage pours in a carrier into the floating-gate electrode. Although there is a memory cell of the thing and two types which are performed when the gate insulator layer under the gate electrode of MISFET is formed by the silicon-oxide film and the two-layer film of a silicon nitride film and informational storage carries

out the trap of the carrier to the trap level between the silicon nitride film and silicon-oxide film MISFET for storage which has the portion into which any memory cell accumulates the charge used as information. Since it consists of two MISFET(s) with the switch MISFET for connecting to the data line MISFET for storage chosen at the time of writing, elimination, and read-out operation, there is a problem that memory cell size becomes large. For this reason, although the function of Above EEPROM is excellent, in order to make mass nonvolatile information memorize in 1 chip microcomputer of the limited chip size, there is a problem that it is difficult to prepare EEPROM.

[0007] moreover — since the tunnel current which impresses the high voltage to a thin tunnel insulator layer, and flows the inside of the tunnel insulator layer performs the writing and elimination of the information on MISFET for storage in the memory cell of EEPROM — the above — the reliability of a thin tunnel insulator layer became a problem, and there was a problem that it was difficult to attain large capacity-ization of EEPROM

[0008] The purpose of this invention is by raising the flexibility of ROM with which the semiconductor integrated circuit equipment which consists of a 1 chip microcomputer is equipped to offer the technology which can be improved in the function of the semiconductor integrated circuit equipment.

[0009] Other purposes of this invention are to offer the technology in which the manufacturing process of the semiconductor integrated circuit equipment which consists of a microcomputer equipped with EPROM and EEPROM can be reduced. The other purposes and the new feature will become clear by description and the accompanying drawing of this specification at the aforementioned row of this invention.

[0010]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application. Namely, it sets to the semiconductor integrated circuit equipment which constitutes the microcomputer equipped with a central processing unit and the non-volatile memory program data, dictionary data, etc. of the central processing unit are remembered to be on one semiconductor chip. The aforementioned non-volatile memory writes in information electrically, and consists of the 1st non-volatile memory which eliminates the written-in information by irradiation of ultraviolet rays, and the 2nd non-volatile memory which performs informational writing electrically and eliminates the written-in information electrically.

[0011] Moreover, form the memory cell of EPROM in the 1st field of a semiconductor substrate, and MISFET for storage in the memory cell of EEPROM is formed in the 1st field of the above of the aforementioned semiconductor substrate, and the 2nd different field. It is the manufacture method of the semiconductor integrated circuit equipment which constitutes the microcomputer equipped with the process which forms the switch MISFET in the memory cell of Above EEPROM in the 3rd field contiguous to the 2nd field of the above of the aforementioned semiconductor substrate. The process which forms the 1st gate insulator layer in the front face of the 1st, the 2nd, and 3rd fields of the aforementioned semiconductor substrate, respectively. The process which forms the source and a drain in the predetermined portion under the aforementioned 1st gate insulator layer of the above 2nd and the 3rd field, The process which forms a floating-gate electrode on the 1st gate insulator layer of the above 1st and the 2nd field, and forms a gate electrode on the 1st gate insulator layer of the 3rd field of the above, The process which forms the 2nd gate insulator layer in the front face of the floating-gate electrode of the 1st field of the above, and the 2nd field, It has the process which forms a control gate electrode on the 2nd gate insulator layer of the above 1st and the 2nd field, respectively, and the process which forms the source and a drain in the predetermined portion under the 1st gate insulator layer of the 1st field of the above, and each aforementioned process is made in the aforementioned sequence.

[0012] Since the control data with required memorizing when program data and dictionary data which need big storage capacity are memorized by EPROM, and the contents of data change with time like the control data of feedback control and a power supply is intercepted is memorized by EEPROM according to the means mentioned above, the function of the

semiconductor integrated circuit equipment which consists of a 1 chip microcomputer can be improved.

[0013] Moreover, since a part of process which forms the memory cell of EPROM on the semiconductor integrated circuit equipment which consists of a 1 chip microcomputer, and process which forms the memory cell of EEPROM are shared, the manufacturing process of the aforementioned semiconductor integrated circuit equipment can be reduced.

[0014]

[Embodiments of the Invention] Hereafter, the form of 1 operation of this invention is explained using a drawing. Drawing 1 is the block diagram of the semiconductor integrated circuit equipment which consists of a 1 chip microcomputer of the form of 1 operation of this invention.

[0015] It is the semiconductor chip which, as for 1, the microcomputer consists of in drawing 1. CPU 100 OSC (Microprocessor) 101 I/O (Transmitter) 102 SI (Input/output port) 103 TIMER (Serial interface) 104 EPROM (Timer) 105 VCXC (armature-voltage control circuit) 106, EEPROM (erecture RIKARI erasable & programmable ROM) 107, SRAM (Erasable & programmable ROM) (Static random access memory) It has 108, DRAM (dynamic random access memory) 109, and I/O BUS(input/output bus) 110. CPU100 consists of a control section, operation part, and various registers. Although OSC101 is not restricted, it forms the clock pulse needed in CPU100 by the reference frequency signal which forms a highly precise reference frequency signal using the quartz resonator Xtal prepared in the exterior of a semiconductor chip 1, and was formed here. I/O102 contains the direction register of data transfer in the interior. The control circuit required for read-out, the writing, or elimination operation of the information on a storage element is contained in EPROM105, EEPROM107, SRAM108, and DRAM109. VCXC106 controls word line voltage required for write-in operation of EPROM105, or write-in elimination operation of EEPROM107, or data-line voltage. SI103 consists of registers of three terminals, a serial clock, serial in, and serial out, and a predetermined bit, and is used as input/output port for performing data transfer between these microcomputers in the case of using two or more microcomputers. TIMER104 is used in order to set up time required for multi-processing, such interruption processing. These CPUs100, I/O102, and SI103, TIMER104, EPROM105, VCXC106, EEPROM107, SRAM108 and DRAM109 are mutually connected by I/O BUS110 focusing on CPU100. In addition, I/O BUS110 consists of three, a data bus, an address bus, and a control bus.

[0016] As for the above EPROM 105, a program, dictionary data, etc. for various information processing are memorized. And EPROM105 has comparatively little number of times of rewriting of data in the aforementioned program, dictionary data, etc., and it uses for storage of what needs large capacity. EEPROM107 is used also for the data storage which needs making it memorize also at the time of power supply interception in the control data of the feedback control which changes [ storage / of the program for various information processing, dictionary data, etc. ] with time, the data in the middle of the program and operation under execution, or the data in the register of CPU100. Moreover, in the data which EPROMs105, such as a program for various information processing and dictionary data, can also be made to memorize, rewriting of data is performed frequently and EEPROM107 is used for the data storage which data capacity does not have.

[0017] Write-in operation of the above EPROM 105 is performed by the following procedure. That is, with various kinds of control signals taken out from CPU100, while making it the operating state which can write in EPROM105, the armature-voltage control circuit (VCXC) 106 is operated, and predetermined word line voltage or predetermined data-line voltage is generated with the voltage impressed for usual operation of the write-in voltage or the microcomputer impressed from the outside.

[0018] Next, CPU100 writes predetermined data in the predetermined address of EPROM105 based on the data inputted through RAM (SRAM108, DRAM109) the data inputted into direct EPROM105 from the exterior through I/O102, or at once. After the writing of the various data to EPROM105 is completed, CPU100 terminates write-in operation of EPROM105, and operation of the armature-voltage control circuit 106.

[0019] Next, the writing and elimination operation of the above EEPROM 107 are explained. The writing and elimination operation of EEPROM107 generate predetermined word line voltage or predetermined data-line voltage with the voltage for usual operation of the write-in voltage, the elimination voltage, or the microcomputer which the armature-voltage control circuit 106 is operated and is impressed from the outside while they write in EEPROM106 or making them into the operating state in which \*\*\*\*\* is possible with the various control signals taken out from CPU100. Next, CPU100 carries out writing of predetermined data, elimination, or rewriting of to the predetermined address of EEPROM107 based on the data inputted through SRAM108 or DRAM109 the data inputted into direct EEPROM107 from the exterior through I/O102, or at once. After the writing of the various data to this EEPROM107, elimination, or rewriting of data is completed, CPU100 terminates the writing or \*\*\*\*\* operation of EEPROM107.

[0020] The usual operation of the microcomputer of the form of this operation outputs the data to the I/O102 shell exterior, after performing predetermined processing to the various data inputted into I/O102 based on various control signals, and the program and dictionary data which are memorized by EPROM105 and EEPROM107. The predetermined address is made to memorize each aforementioned data which is needed at the time of re-operation after data with required memorizing also at the time of power supply interception, i.e., power supply interception, in the various data inputted into I/O102, the data with which predetermined processing was performed, or the data in the register of CPU100 here according to the operations sequence of EEPROM107 mentioned above. You may make it make EEPROM107 memorize the last data after performing the storage to this EEPROM107, making EEPROM107 memorize the middle data for every processing in each place or completing predetermined processing.

[0021] On the other hand, when unusual power supply interception occurs according to accident, the predetermined address is made to memorize the microcomputer of the form of this operation according to the operating procedure of EEPROM107 which mentioned above the predetermined data in the various data which are needed when starting operation again, i.e., the various data inputted into I/O102, the data with which predetermined processing was performed, or the data in the register of CPU100. Thus, the microcomputer of the form of this operation has the supply voltage backup circuit which supplies voltage required for the operation in order to operate EEPROM107 normally also at the time of power supply interception. Although especially this supply voltage backup circuit is not restricted, it consisted of capacity and a control circuit, could be constituted by the same semiconductor chip as the microcomputer of the form of this operation, and may be constituted on the electronic equipment which makes a power supply the same including the microcomputer of the form of this operation.

[0022] Next, circuit operation of the above EPROM 105 is explained using drawing 1 and drawing 3. Drawing 3 is the representative circuit schematic having shown the outline composition of the circuit of EPROM105 carried in the microcomputer of the form of this operation.

[0023] a logic voltage system [ like supply voltage  $V_{cc}$ , 5V / for example, /, ] whose EPROM105 of the microcomputer of the form of this operation is, and the write-in voltage  $V_{pp}$  or the write-in voltage  $V_{pp}$  — the armature-voltage control circuit 106 — a pressure up or about ten lowered the pressure of and obtained — it consists of high voltage VCX of V — writing in — business — the voltage system is used as the power supply of operation At the time of the usual read-out operation, it operates by the logic voltage system.

[0024] The operation is controlled by the address signal which EPROM105 intervenes the address input terminal  $X_0$ ,  $X_1$  and  $Y_0$ , or  $Y_1$ , and is supplied, the chip enable signal supplied through the control terminals CE, OE, and PGM, the output enable signal, and the program signal. These control signals are relayed by the control circuit in EPROM105 which is not illustrated by control from CPU100, or are formed.

[0025] EPROM105 in the form of this operation performs read-ut or write-in operation of a memory cell per 8 bits. Memory cell array M-ARY writes in electrically, and is constituted by two or more MISFETQEP1 eliminated by irradiation of ultraviolet rays or QEP4, two or more word lines containing a word line  $W_0$  or  $W_1$ , and two or more data lines containing the data line  $D_0$  or  $D_1$ . In memory cell array M-ARY, the drain of MISFETQEP1, QEP2, or QEP3 and QEP4 arranged at the same line is connected to the corresponding data lines  $D_0$  and  $D_1$ , respectively. X address

signal and Y address signal which are supplied from CPU100 through an address terminal Xo, Xi and Yo, or Yj are inputted into the X address buffer XADB and the Y address buffer YADB. Address buffers XADB and YADB operate by the timing signal ce formed of a control circuit CONT, incorporate the address signal supplied from CPU100, form the complementary address signal which consists of an internal address signal of it, an inphase, and an antiphase, and supply it to the X address decoder XDCE and the Y address decoder YDCE.

[0026] The aforementioned X address decoder XDCE supplies the selection signal for choosing the word line of memory cell array M-ARY according to the complementary address signal supplied by the X address buffer XADB. The voltage level of the word line selection signal formed of the X address decoder XDCE is determined by the voltage VCX supplied from the armature-voltage control circuit 106. It is set as the supply voltage Vcc level which is a logic voltage system at the time of the usual read-out operation, and is set as the VCX level which is a voltage system for writing at the time of write-in operation.

[0027] The Y address decoder YDCE forms the selection signal for choosing the data line of memory cell array M-ARY by the complementary address signal supplied by the address buffer YADB. The selection signal outputted from the Y address decoder YDCE is supplied to the gate electrode of MISFETY11, Y12, Y21, and Y22 of Y gate circuit YGATE. After selection of the data line performs 1st selection which consists of two or more data-line groups by MISFETY11 and Y12 of Y gate circuit YGATE, the 2nd selection which chooses the predetermined data line from the aforementioned data-line group by MISFETY21 and Y22 performs it, having constituted Y gate circuit YGATE from two MISFET(s) connected in series here — every — the load-carrying capacity of MISFET can be reduced and high-speed read-out operation is attained. Moreover, the voltage level of the data line in the usual read-out operation is set as level lower than the supply voltage Vcc level supplied to a word line, in order to prevent that MISFETQEP1 or QEP4 is incorrect-written in during read-out. It is still more specifically set as 20 or 40% of level of Vcc. At the time of write-in operation, it is set as the predetermined voltage corresponding to the VCX level which is a voltage system for writing. Moreover, each data lines D0 and D1 are combined with the common data line CD.

[0028] The data output circuit DOB is combined with a common data line through the sense amplifier circuit SA. Although especially a sense amplifier is not restricted, with the form of this operation, the sense amplifier circuit of a current mirror method is used. Moreover, the data output circuit DOB is combined with an input/output terminal DI 0 or \*\* DI 7. The data input circuit DIB consists of input buffers combined with the input/output terminals [ DI / DI and / 7 ] 0.

[0029] The data storage in EPROM105 is performed by whether threshold voltage of MISFETQEP1 used for a memory cell or QEP4 is made into comparatively high voltage (logic "0") by the writing by charge pouring to usual comparatively low voltage (logic "1") and a usual floating-gate electrode.

[0030] Next, circuit operation of the above EEPROM 107 is explained using drawing 1 and drawing 4. Drawing 4 is the representative circuit schematic having shown the outline composition of the circuit of EEPROM107 carried in the microcomputer of the form of this operation.

[0031] a logic voltage system [ like supply voltage Vcc, 5V / for example, /, ] whose EEPROM107 which the microcomputer of the form of this operation carries is — writing in — or the elimination voltage Vpp or the armature-voltage control circuit 106 — voltage Vpp or \*\*\*\*\* Vcc — a pressure up or about ten lowered the pressure of and obtained — the writing of high level like V or the elimination voltage VCX system is used as the power supply of operation. The usual read-out operation operates by the logic voltage system. The operation is controlled by various kinds of control signals which EEPROM107 is controlled by the memory control circuit in the address signal supplied through the address input terminal Xo, Xi and Yo, or Yi, and EEPROM107 which is not illustrated by control from CPU100, or are formed.

[0032] Per 8 bits, it reads, and memory writes in EEPROM107 in the form of this operation, or it performs elimination operation. Memory array M-ARY is constituted by the switch MISFETQSP1 which controls operation of read-out of two or more memory MISFETQEP1 or QEP4 which



performs writing and elimination electrically, and the aforementioned memory MISFETQEEP1 or QEEP4, writing, and elimination or QS4, two or more word lines containing a word line WE0, WE1 and WS0, or WS1, and two or more data lines containing the data line D0 or D1. In memory array M-ARY, the memory MISFETQEEP1 and QEEP2 or the control gate electrode of QEEP3 and QEEP4 arranged at the same line is connected to the corresponding word line WE0 or WE1, respectively. Switch MISFETQS1 and QS2 or the gate electrode of QS3 and QS4 is connected to corresponding word line WS0 or corresponding WS1, respectively. The switches MISFETQS1 and QS3 arranged at the same train or the drain of QS2 and QS4 is connected to the corresponding data line D0 or D1, respectively. Moreover, a switch MISFETQS1 or the source of QS4 is connected to memory MISFETQEEP1 or QEEP4, and memory MISFETQEEP1 or the source of QEEP4 is grounded.

[0033] X address signal and Y address signal which are supplied from CPU100 through an address terminal Xo, Xi and Yo, or Yj are inputted into X and the Y address buffer XYADB. An address buffer XYADB operates according to the timing signal formed of a control circuit CONT, incorporates the address signal supplied from CPU100, forms the complementary address signal which consists of an internal address signal of it, an inphase, and an antiphase, and supplies it to the X address decoder XDCR and the Y address decoder YDCR. Moreover, the address buffer XYADB equips the interior with the latch circuit, and can store an address signal temporarily at a latch circuit.

[0034] The X address decoder XDCR forms the selection signal for choosing two kinds of word lines of memory array M-ARY according to the complementary address signal supplied from an address buffer XYADB.

[0035] The Y address decoder YDCR forms the selection signal for choosing the data line D0 of memory array M-ARY, or D1 according to the complementary address signal supplied from an address buffer XYADB. The selection signal taken out from the Y address decoder YDCR is supplied to Y gate circuit YGATE. Although especially Y gate circuit YGATE is not restricted, it is the same method as Y gate circuit YGATE of aforementioned drawing 3.

[0036] The data I/O circuit IOB is combined with the aforementioned data line and the input/output terminals [ DI / DI and / 7 ] 0. Moreover, the data I/O circuit IOB consists of a sense amplifier circuit, an input-output-buffer circuit, and a latch circuit for the temporary storage of input data.

[0037] They are a thing for [ the ] writing in or performing the writing or elimination operation of a memory cell MISFETQEEP1 or the information on QEEP4 based on elimination data while a data latch circuit and the program circuit DL are supplied from the input/output terminals [ DI / DI and / 7 ] 0, and are written in or store elimination data temporarily.

[0038] When EEPROM107 of the microcomputer of the form of this operation is equipped with various latch circuits as mentioned above, it can write in or the incorrect writing or incorrect elimination at the time of elimination operation can be prevented.

[0039] The memory MISFETQEEP1 or QEEP4 of the above EEPROM 107 is equipped with the floating-gate electrode, the tunnel insulator layer which can pass the tunnel current of the lower part, and the semiconductor region under it so that it may mention later. And write-in operation means making memory MISFETQEEP1 or threshold voltage of QEEP4 lower than source voltage by emitting an electron from a floating-gate electrode, and elimination operation means making memory MISFETQEEP1 or the threshold of QEEP4 higher than source voltage by injecting an electron into a floating-gate electrode. Pouring of the electron in discharge and elimination of the electron in these writing is performed through a tunnel insulator layer.

[0040] Next, circuit operation when writing in the information on the above EEPROM 107 is explained.

[0041] First, while making it the operating state which can write in EEPROM107 with the various control signals taken out from CPU100, the address which writes in is stored temporarily at the latch circuit of an address buffer XYADB. Moreover, it writes in the latch circuit of a data latch circuit and the program circuit DL, and data are stored temporarily. Next, potential of the switch MISFETQS1 with which the memory MISFETQEEP1 or QEEP4 which writes in was combined, word line WS0 of QS4, or WS1 is made into the high voltage which can be written in, and a

switch MISFETQS1 or QS4 is made into operating state. At this time, all the word lines WE0 combined with memory MISFETQEEP1 or QEEP4 or WE(s)1 are made into the low voltage of simultaneously 0V. Then, the high voltage which can be written in the data line D0 combined with the memory MISFETQEEP1 or QEEP4 which writes in through a switch MISFETQS1 or QS4, or D1 is impressed.

[0042] Since the potential of the semiconductor region of the lower part of the tunnel insulator layer prepared in the bottom of memory MISFETQEEP1 or the floating-gate electrode of QEEP4 becomes higher than the potential currently impressed to the control gate electrode, the electron in the floating-gate electrode which has low potential from this control gate electrode further is emitted into the semiconductor region under it through the aforementioned tunnel insulator layer by the above circuit operation, and writing is made.

[0043] Next, circuit operation for eliminating information is explained. Although not controlled by the form of this operation, elimination operation is performed for every word line. Elimination operation is first made into the operating state which can eliminate EEPROM107 with the various control signals taken out from CPU100, and sets word lines WE0 and WE1, or WS0 and WS1 as the low voltage level near grounding voltage. Although not restricted at this time, it is made to also set the voltage of the data lines D0 and D1 as the low voltage level near grounding voltage. Next, let the word line WE0 which should be eliminated, or WE1 be an eliminable high voltage level among the word lines WE0 and WE1 combined with memory MISFETQEEP1 or QEEP4. If these things are performed, since the voltage of memory MISFETQEEP1 or the control gate electrode of QEEP4 will become higher than the voltage of the semiconductor region under a tunnel insulator layer, the electron in the semiconductor region is poured in into a floating-gate electrode through a tunnel insulator layer, and elimination is made.

[0044] Next, circuit operation for reading information is explained. Read-out operation chooses a specific memory cell out of two or more memory cells by changing into the state always near grounding voltage where it does not choose the word line WE0 first combined with memory MISFETQEEP1 or QEEP4, or WE1, and choosing word line WS0 or WS1 combined with a switch MISFETQS1 or QS4, the data line D0, or D1.

[0045] Since a word line WE0 or WE1 has low potential as mentioned above when the electron is written in into the floating-gate electrode of the memory MISFET of this selected memory cell (either QEEP1 or QEEP4 and the following, only QEEP1 or QEEP4), the memory MISFETQEEP1 or QEEP4 is un-flowing, and the logic "0" corresponding to this is read to the data line D0 or D1.

[0046] On the other hand, when the electron is not poured in into the memory MISFETQEEP1 of the memory cell by which selection was carried out [aforementioned], or the floating-gate electrode of QEEP4, the memory MISFETQEEP1 or QEEP4 will be in switch-on, and logic "1" is read to the data line D0 or D1 corresponding to this.

[0047] Next, SRAM108 and DRAM109 with which the microcomputer shown in drawing 1 is equipped are described.

[0048] The above SRAM 108 is used as a temporary storage circuit of the data which have the need of performing the data transfer between CPU100 or I/O102 at high speed, mainly in the data in the middle of the program and operation under execution.

[0049] The memory cell of SRAM108 with which the microcomputer of the form of this operation is equipped consists of two P channels MISFET205,206 and four N channels MISFET203,204,207,208, as shown in drawing 2.

[0050] In addition, drawing 2 is the equal circuit of the memory cell of SRAM108 with which the microcomputer of the form of 1 operation of this invention shown in drawing 1 is equipped.

[0051] In addition, the memory cell of SRAM108 may consist of two resistance elements of high resistance, and four MISFET(s). DRAM109 is used as a temporary storage circuit of the data which do not need to perform data transfer between CPU100 or I/O102 at high speed, and need mass memory mainly in the data in the middle of the program and operation under execution. The memory cell of DRAM109 of the form of this operation consists of a part by volume which accumulates a charge, and a switch MISFET which controls this. Thus, RAM of the microcomputer of the form of this operation consists of SRAM108 and DRAM109, and DRAM109

is used for a data storage with a big capacity although it is not necessary using SRAM108 to perform a data transfer to the data storage which needs high-speed data transfer although data capacity is a small amount at high speed. The above SRAM 108 operates as the so-called cache memory, and performs high-speed data transfer between CPUs100.

[0052] DRAM109 in the gestalt of this operation does not carry out impressing a low negative potential and operating it to a substrate 1, from the potential  $V_{ss}$  used as the criteria of electric operation of a circuit, i.e., grounding potential, 0V [for example,]. This is because the property of MISFET which constitutes EPROM105 usually operated without making a substrate 1 into a negative potential, and EEPROM107 grade will change if a low negative potential is impressed to a substrate 1 from the grounding potential  $V_{ss}$  as mentioned above. However, when the field where DRAM109 of a substrate 1 is constituted is electrically separated with the field where EPROM105 and MISFET of EEPROM107 grade others are constituted, the aforementioned negative potential is impressed to a substrate 1, and you may make it make it operate. that is, it mentions later — as — DRAM109, and other EEPROMs107 and EPROM105 grade — respectively separate P type — a well — a field — preparing — making — these P type — a well — you may make it separate between fields electrically

[0053] Control of CPU100 performs refreshment operation of DRAM109. Moreover, the potential of the word line of DRAM109 is set as potential higher than  $V_{cc}$  which is the voltage of a logic system, and is operated. This voltage is generated in the armature-voltage control circuit 106.

[0054] Next, the structure of each MISFET which constitutes the microcomputer of the gestalt of this operation is explained using drawing 5, drawing 6, and drawing 7.

[0055] The cross section of MISFET which constitutes EEPROM107 which the microcomputer of drawing 1 equips with the cross section of MISFET which constitutes EPROM105 which the microcomputer of drawing 1 equips with drawing 5, and drawing 6, and drawing 7 are the cross sections of MISFET which constitutes CPU100 with which the microcomputer of drawing 1 is equipped, and I/O102 grade.

[0056] In drawing 5, Q1 is MISFET which constitutes the memory cell of EPROM105, and N channel MISFET from which Q2 constitutes circumference circuits, such as an address buffer of the above EPROM 105 and a decoder, and Q3 are P channel MISFET(s) which constitute circumference circuits, such as an address buffer of the above EPROM 105, and a decoder. MISFETQ1 which constitutes the memory cell of EPROM105 p-type of the principal plane section of the semiconductor substrate 1 which consists of p-type single crystal silicon — a well — it being prepared in a field 3 and with the 1st gate insulator layer 6 which consists of a thin silicon-oxide film For example, floating-gate electrode 7A which consists of a polycrystal silicon film, With 2nd gate insulator layer 8A which consists of a thin silicon-oxide film, for example, control gate electrode 9A which consists of a two-layer film which carried out the laminating of the tungsten silicide film ( $WSi_2$ ) on the polycrystal silicon film, It consists of n-type-semiconductor field 11A which accomplishes the portion by the side of the source and the channel field of a drain, and n+ type semiconductor-region 13A which accomplishes portions other than the aforementioned n-type-semiconductor field 11A of the source and a drain. The thickness of the 1st gate insulator layer 6 is about 500Å, and 2nd gate insulator layer 8A is about 350Å. The aforementioned n-type-semiconductor field 11A is for making a hot generation of carriers increase and raising an informational write-in property. In addition, control gate electrode 9A is also a word line. The side of floating-gate electrode 7A, and the side and the upper surface of control gate electrode 9A are being worn by the thin silicon-oxide film 10. And the sidewall 12 which consists of a silicon-oxide film is formed in the flank of floating-gate electrode 7A and control gate electrode (WORD electrode) 9A. And it dissociates in the field insulator layer 4 which consists of a silicon-oxide film, and p type channel-stopper field 5 under it between memory cell Q1 comrades in the direction in which the word line has extended. Data-line 16D has connected with n+ type semiconductor region 13 which accomplishes a part of drain at the time of read-out of information. the lower part of the things to which data-line 16D added for example, an aluminum film and aluminum for silicon, copper, PARAJUUMU, etc. to this as a principal component, or these films — or it consists of a multilayer which prepared the silicide film ( $MoSi_2$ ,  $TaSi_2$ ,  $TiSi_2$ ,  $WSi_2$  grade) in the upper part 14 is formed by the silicon-oxide film

which is a passivation film of the 1st layer, for example, was formed by CVD, the FOSUFO silicate glass (PSG) film, the boron doped PSG (BPSG) film, the silicon-oxide films by the plasma CVD method, or these cascade structures. 15 — connection — it is a hole 17 is the passivation film of the 2nd layer and consists of a silicon-oxide film formed by the plasma CVD method, a spin-on glass film formed by the rotation applying method. N channel MISFETQ2 which constitutes the aforementioned circumference circuit consists of a gate insulator layer 6 and n+ type semiconductor-region 13B which accomplishes portions other than gate electrode 7B which consists of a polycrystal silicon film, n which accomplishes the source and channel field side of a drain - type semiconductor-region 11B, and the above n of the source and a drain - type semiconductor-region 11B. Above n - type semiconductor-region 11B are for preventing that control the hot generation of carriers in the edge of a drain, and the electrical property of MISFETQ2 changes. The side and the upper surface of gate electrode 7B are being worn with the thin silicon-oxide film 10. n+ type semiconductor-region 13B by the side of a drain — connection — the wiring 16 which consists of an aluminum film through a hole 15 has connected. And in order that this n+ type semiconductor region 13 may raise pressure-proofing of a drain, from the sidewall 12, it detaches only predetermined distance and is prepared. P channel MISFETQ3 which constitutes the aforementioned circumference circuit — n- type of the principal plane of the semiconductor substrate 1 — a well — it is prepared in the field 2 and it consists of a gate insulator layer 6 and p+ type semiconductor-region 13C which accomplishes portions other than gate electrode 7B which consists of a polycrystal silicon film, p which accomplishes the portion by the side of the source and the channel of a drain - type semiconductor-region 11C, and the above p of the source and a drain - type semiconductor-region 11C wiring 17 — connection — wiring 19 is connected through the hole 18. This wiring 19 consists of the same material as the aforementioned wiring 17. In addition, although not illustrated, after wiring 19, the last passivation film which consists of a PSG film, a silicon nitride film by the plasma CVD method, etc. is prepared.

[0057] Floating-gate electrode 7A of the aforementioned memory cell Q1, gate electrode 7B of N channel MISFETQ2, and gate electrode 7B of P channel MISFETQ3 consist of the same electric conduction film of the 1st layer. Gate electrode 9A of a memory cell Q2 consists of an electric conduction film of the 2nd layer. Moreover, thickness of each gate insulator layer 6 of a memory cell Q1, N channel MISFETQ2, and P channel MISFETQ3 is made the same.

[0058] In drawing 6, N channel MISFET from which Q4 constitutes the memory MISFETQEEP1 or QEEP4 in the memory cell of EEPROM107, N channel MISFET from which Q5 constitutes circumference circuits, such as an address buffer of the switch MISFETQS1 in the memory cell of the above EEPROM 107, QS4, or EEPROM107 and a decoder, and Q6 are P channel MISFET(s) which constitute the circumference circuit of EEPROM107.

[0059] The 1st gate insulator layer 6 which aforementioned N channel MISFETQ4 becomes from an about 500Å thin silicon-oxide film, The insulator layer 21 which consists of a silicon-oxide film with a thickness of about 1000–2000Å, The tunnel insulator layer 22 which consists of an about 100Å very thin silicon-oxide film, For example, floating-gate electrode 7C which consists of a polycrystal silicon film, It consists of 2nd gate insulator layer 8C which consists of an about 350Å thin silicon-oxide film, a word line and control gate electrode 9C currently formed in one, and a n-type-semiconductor field 20 used as the source and a drain. The thin silicon-oxide film 10 is covered with the side of floating-gate electrode 7C, the side of control gate electrode (word line) 9C, and the upper surface. An insulator layer 21 is for easing the electric field of the edge of floating-gate electrode 7C, and raising pressure-proofing. N channel MISFETQ5 for constituting Switch MISFET or the circumference circuit of the aforementioned memory cell consists of a gate insulator layer 6, an insulator layer 21, and gate electrode 7B which consists of a polycrystal silicon film and the n-type-semiconductor field 20 used as the source and a drain. The side and the upper surface of gate electrode 7B are being worn by the insulator layer 10. the n-type-semiconductor field 20 used as the drain of this N channel MISFETQ5 — connection — wiring 16D is connected through the hole 15. Wiring 16D is the data line in a memory cell, and is signal wiring which inherits between MISFET in a circumference circuit. P channel MISFETQ6 which constitutes the aforementioned circumference circuit consists of p+

type semiconductor-region 13C which accomplishes portions other than the gate insulator layer 6, gate electrode 7B, p that accomplishes the portion by the side of the source and the channel field of a drain - type semiconductor-region 11C, and the above p of the source and a drain - type semiconductor-region 11C. The insulator layer 10 is wearing the side and the upper surface of gate electrode 7B. p+ type semiconductor-region 13C which accomplishes a part of source field — connection — wiring 16 is connected through the hole 15 And in order that this p+ type semiconductor-region 13C may raise pressure-proofing of a source field, from the sidewall 12, it detaches only predetermined distance and is prepared.

[0060] In addition, the wiring 19 which consists of an aluminum film of the 2nd layer has covered the N channel MISFETQ5 top which accomplishes N channel MISFETQ4 and switching device of a memory cell. That is, all memory cell array fields are covered with wiring 19. This is for preventing that the data memorized by EEPROM107 will be eliminated by the ultraviolet rays, when irradiating ultraviolet rays and eliminating the data memorized by EPROM105.

[0061] In addition, floating-gate electrode 7C of a storage element Q4 and gate electrode 7B of MISFETQ5 and Q6 are formed by the same electric conduction film of the 1st layer as floating-gate electrode 7A of the memory cell Q1 of the above EPROM 105, and gate electrode 7B of MISFETQ2 and Q3. Control gate electrode 9C of the memory MISFETQ4 of EEPROM107 consists of the same electric conduction film of the 2nd layer as control gate electrode 9A of EPROM105.

[0062] In drawing 7 , N channel MISFET for Q7 constituting CPU100, N channel MISFET from which Q8 constitutes I/O102 and SI (serial interface)103, and Q9 are P channel MISFET(s) for constituting CPU100. Aforementioned N channel MISFETQ7 consists of n+ type semiconductor-region 13B which accomplishes portions other than gate insulator layer 8D which consists of an about 250Å thin silicon-oxide film, gate electrode 9D, n which accomplishes the portion by the side of the source and the channel field of a drain - type semiconductor-region 11B, and the above n of the source and a drain - type semiconductor-region 11B. Aforementioned N channel MISFETQ8 consists of n+ type semiconductor-region 13B which accomplishes portions other than gate insulator layer 8D, gate electrode 9D, n-type-semiconductor field 11A that accomplishes the portion by the side of the source and the channel field of a drain, and the aforementioned n-type-semiconductor field 11A of the source and a drain. N-type-semiconductor field 11A is for preventing destroying MISFETQ8, when the unusual high voltage is impressed to a drain field. Aforementioned P channel MISFETQ9 consists of p+ type semiconductor-region 13C which accomplishes portions other than gate insulator layer 8D, gate electrode 9D, p that accomplishes the portion by the side of the source and the channel field of a drain - type semiconductor-region 11C, and the above p of the source and a drain - type semiconductor-region 11C.

[0063] In addition, each gate electrode 9D of MISFETQ7, Q8, and Q9 consists of the same electric conduction film of the 2nd layer as control gate electrode 9A of the above EPROM 105, and control gate electrode 9C of EEPROM107.

[0064] Moreover, N channel MISFET and P channel MISFET which constitute the memory cell of SRAM108 shown in drawing 2 have the same structure as N channel MISFETQ7 and P channel MISFETQ9 which constitute CPU (Boolean part)100 shown in drawing 7 .

[0065] Next, each manufacture method of the above MISFETQ1, Q2, Q3, Q4, Q5, Q6, Q7, Q8, and Q9 is explained using drawing 5 , drawing 6 , drawing 7 or drawing 56 , drawing 57 , and drawing 58 .

[0066] Drawing 5 , drawing 6 , drawing 7 or drawing 56 , drawing 57 , and drawing 58 It is a cross section in the manufacturing process of MISFET which constitutes EPROM105, EEPROM107, and the CPU100 grade of the microcomputer of the form of 1 operation of this invention. The cross section of the field in which MISFET from which drawing 5 or drawing 56 constitutes the memory cell and its circumference circuit of EPROM105 is prepared, It is the cross section of the field in which MISFET from which the cross section, drawing 7 , or drawing 58 of the field in which MISFET from which drawing 6 or drawing 57 constitutes the memory cell and its circumference circuit of EEPROM107 is prepared constitutes CPU100 and I/O102 is prepared.

[0067] In addition, since P channel MISFET and N channel MISFET which constitute the memory

cell of SRAM shown in drawing 2 are formed by the same manufacture method as N channel MISFETQ7 and P channel MISFETQ9 which constitute Boolean part shown in drawing 7, they omit explanation.

[0068] the manufacture method of MISFET which constitutes EPROM105, EEPROM107, CPU100, and I/O102 of the microcomputer of the stage of this operation is shown in drawing 8 or drawing 10 — as — each predetermined field of the principal plane section of the p-type semiconductor substrate (chip) 1 — an ion implantation and annealing — carrying out — n-type — a well — a field 2 or p-type — a well — a field 3 is formed 50 is the thin silicon-oxide film used as a buffer film, when performing the aforementioned ion implantation.

[0069] next, it is shown in drawing 11 or drawing 13 — as — well-known technology — using — n-type — a well — a field 2 and p-type — a well — each predetermined field of a field 3 — oxidizing thermally — the field insulator layer 4 — forming — moreover, p-type — a well — p channel-stopper field 5 is formed in a field 3 51 is the silicon nitride film used as a mask of thermal oxidation, when forming the field insulator layer 4. next, the silicon-oxide film 50 which removed the silicon nitride film 51 and was further used as a ground film — removing — n-type — a well — a field 2 and p-type — a well — after exposing the portion which is not covered by the field insulator layer 4 of a field 3, the exposed front face is again oxidized thermally, and as shown in drawing 14 or drawing 16, the gate insulator layer 6 is formed

[0070] next — as the mask of the ion implantation when forming the n-type-semiconductor field 20 used as the memory cell of EEPROM107 shown in drawing 15 and the source of N channel MISFET of the circumference circuit, and a drain — n-type — a well — a field 2 and p-type — a well — the resist film 52 is formed on a field 3 Next, n type impurity, for example, arsenic (As) ion, is introduced about two  $10^{14}$  –  $10^{16}$  atoms/cm, and the n-type-semiconductor field 20 is formed. Then, the resist film 52 is removed.

[0071] Next, as shown in drawing 17 or drawing 19, it oxidizes thermally and an insulator layer (SiO<sub>2</sub>) 21 is formed in the upper part of the aforementioned n-type-semiconductor field 20. Since an insulator layer 21 has the n-type-semiconductor field 20 of a high concentration layer in the lower part, a thick insulator layer is obtained. At this time, the thickness of the gate insulator layer 6 sets up the aforementioned oxidization thickness so that it may become about 500Å. The thickness of an insulator layer 21 is about 1000–2000Å. Or after removing the aforementioned gate insulator layer 6, you may form simultaneously an about 500Å gate insulator layer and the insulator layer of the upper part of the about 1000–2000Å n-type-semiconductor field 20 by one thermal oxidation. Next, in order to \*\*\*\*\* the insulator layer 21 of a portion in which the tunnel insulator layer 22 of the memory MISFETQ4 of EEPROM107 is formed, as shown in drawing 20 or drawing 22, the resist film 54 as a mask is formed.

[0072] Next, as shown in drawing 21, the portion in which the tunnel insulator layer 22 of an insulator layer 21 is formed is \*\*\*\*\*ed, and the front face of the n-type-semiconductor field 20 is exposed. Then, the resist film 54 is removed. Next, the front face of the n-type-semiconductor field 20 exposed by having removed the insulator layer 21 at the previous process is oxidized thermally, and the tunnel insulator layer 22 which consists of a silicon-oxide film is formed. The thickness of the tunnel insulator layer 22 is about 100Å.

[0073] Next Floating-gate electrode 7A of the memory cell Q1 of EPROM105, In order to form gate electrode 7B of MISFETQ5 of the switch MISFET of gate electrode 7B of MISFETQ2 and Q3 of a circumference circuit and floating-gate electrode 7C of the memory MISFETQ4 of the memory cell of EEPROM107, and the aforementioned memory cell, and a circumference circuit it is shown in drawing 23 or drawing 25 — as — for example, CVD — n-type — a well — a field 2 and p-type — a well — the polycrystal silicon film 7 is formed in the upper part of a field 3 n type impurity, for example, Phosphorus (P), is introduced into this polycrystal silicon film 7 with thermal diffusion, an ion implantation, etc., and low resistance-ization is attained.

[0074] next, it is shown in drawing 26 or drawing 28 — as — the aforementioned polycrystal silicon film 7 — patterning — carrying out — the gate electrode 7 of floating-gate electrode 7A of the memory cell Q1 of EPROM105, and a circumference circuit — the floating-gate electrode 7 of the memory MISFETQ4 of B and EEPROM107 — gate electrode 7B of MISFETQ5 and Q6 of the switch MISFET of the memory cell of C and EEPROM107 and a circumference circuit is

formed, respectively. Since the gate electrode of MISFETQ7, Q8, and Q9 which constitute CPU100 and I/O102 is formed by the electric conduction film of the 2nd layer formed behind, in the field for forming these [ MISFETQ7-Q9 ], the polycrystal silicon film 7 of the 1st layer will be removed, and it does not remain.

[0075] Here, floating-gate electrode 7A of the memory cell Q1 of EPROM105 shown in drawing 26 is the pattern which extends for a long time in the direction in which the data line extends, without being divided into every floating-gate electrode 7 of each memory cell A. However, it is the pattern separated to every floating-gate electrode 7 of memory cell which adjoins in direction in which word line extends A. This is for performing 2nd patterning to floating-gate electrode 7A which has extended for a long time in the direction in which the aforementioned data line has extended, and making it a predetermined pattern, when forming control gate electrode (word line) 9A on this behind.

[0076] On the other hand, floating-gate electrode 7C of the memory MISFETQ4 of the memory cell of EEPROM107 is the pattern separated for each memory cell of every. Next, as shown in drawing 29 or drawing 31, the front face of floating-gate electrode 7A of EPROM105 and floating-gate electrode 7C of EEPROM107 is oxidized thermally, and the 2nd gate insulator layers 8A and 8C are formed. When forming these 2nd gate insulator layers 8A and 8C, the front face of other gate electrode 7B is also oxidized thermally, and the thin silicon-oxide film 8 is formed. Next, after covering portions other than CPU100 field and I/O102 field by the resist film 55, it \*\*\*\*\*s and the thin silicon-oxide film (gate insulator layer) 6 currently formed in CPU100 field and I/O102 field is removed.

[0077] Next, as shown in drawing 32 or drawing 34, CPU100 field and I/O102 field which exposed the silicon-oxide film 6 by having \*\*\*\*\*ed previously are oxidized thermally, and gate insulator layer 8D of MISFET for constituting CPU100 and I/O102 is formed. When forming this gate insulator layer 8D, the front face of each floating-gate electrode 7A and 7C and gate electrode 7B oxidizes, and the thickness of the 2nd gate insulator layers 8A and 8C and the silicon-oxide film 8 increases.

[0078] It is made for the thickness of the 2nd gate insulator layers 8A and 8C to become about 350Å finally here. Moreover, thickness of gate insulator layer 8D is made into the thickness optimal for MISFETQ7-Q9 which constitute CPU100 and I/O102. In addition, since gate insulator layer 8D of MISFET which constitutes the gate insulator layer 6, and CPU100 and I/O102 of MISFET which constitutes the memory cells and those circumference circuits of EPROM105 or EEPROM107 is made into the value optimal for these MISFET(s) and the direction of the gate insulator layer 6 is formed thickly, the direction of gate insulator layer 8D may be formed thickly. Moreover, the gate insulator layer 6 and gate insulator layer 8D may be formed in the same thickness.

[0079] After forming the aforementioned gate insulator layer 8D, the electric conduction film 9 of the 2nd layer is formed the whole surface on a semiconductor chip 1. This electric conduction film 9 consists of a two-layer film which formed the polycrystal silicon film by CVD and carried out the laminating of the silicide film by the sputter further on this. n type impurity, for example, Phosphorus (P), is put into the aforementioned polycrystal silicon film by the ion implantation or thermal diffusion, and low resistance-ization is attained.

[0080] Next, as shown in drawing 35 or drawing 36, patterning of the electric conduction film 9 is carried out for the resist film 72 to a mask, and control gate electrode (word line) 9C of the memory MISFETQ4 of EEPROM107 and gate electrode 9D of MISFETQ7, Q8, and Q9 are

[0081] Next, as shown in drawing 38 or drawing 40, the resist film 73 is formed. Floating-gate electrode 7A divided for each memory cell of every in this state also in the direction in which the data line extends as it \*\*\*\*\*ed and control gate electrode 9A of the memory cell Q1 of EPROM105, 2nd gate insulator layer 8A, and floating-gate electrode 7A were shown in drawing 41 or drawing 43 is formed. The resist film 73 is removed after this.

[0082] Next, as shown in drawing 44 or drawing 46, the front face of each control gate electrode (word line) 9A and 9D of EPROM105 and EEPROM107 is oxidized thermally, and the thin silicon-oxide film 10 is formed. At this time, the front face of other gate electrodes 7B and 9D of

MISFETQ2, Q3, Q5, Q6, Q7, Q8, and Q9 also oxidizes, and the silicon-oxide film 10 is formed. the resist film 56 which carried out opening of the portions of the field of the memory cell Q1 of EPROM105, and the field of MISFETQ8 of I/O102 — forming — an ion implantation — p- type — a well — n type impurity (As), for example, an arsenic, is introduced to a field 3, and n-type-semiconductor field 11A which becomes a part [ the source of a memory cell Q1 and N channel MISFETQ8 and a drain ] is formed The dose of the impurity ion introduced at this time is 1015 atoms/cm<sup>2</sup>.

[0083] Then, the resist film 56 is removed, and as shown in drawing 47 or drawing 49 , the resist film 57 which carried out opening of the field in which N channel MISFETQ2 for constituting the circumference circuit of EPROM105 is formed, and the field in which N channel MISFETQ7 for constituting CPU100 is formed is formed. And n type impurity, for example, Phosphorus (P), is introduced with an ion implantation, and n which becomes a part [ the source of aforementioned N channels MISFETQ2 and Q7 and a drain ] - type semiconductor-region 11B are formed. The dose of the impurity ion introduced at this time is 1013 atoms/cm<sup>2</sup>. Then, the resist film 57 is removed.

[0084] Next, as shown in drawing 50 or drawing 52 , the resist film 58 which carried out opening of the field in which P channels MISFETQ3 and Q6 for constituting each circumference circuit of EPROM105 and EEPROM107 are formed, and the field in which P channel MISFETQ9 for constituting CPU100 is formed is formed. And p type impurity (B), for example, boron, is introduced with an ion implantation, and p which becomes a part [ the source of aforementioned P channels MISFETQ3, Q6 and Q9 and a drain ] - type semiconductor-region 11C are formed. The dose of the impurity ion at this time is about two 1013 atoms/cm. Then, the resist film 58 is removed.

[0085] Next, as shown in drawing 53 or drawing 55 , the sidewall 12 which consists of a silicon-oxide film using CVD and reactive ion etching is formed in the flank of each gate electrode 7A, 9A, 7B, 7C, 9C, and 9D. Next, the field in which N channel MISFET for constituting the memory cells and those circumference circuits of P channels MISFETQ3, Q9, and EEPROM107 is prepared is covered by the resist film 59. Moreover, in order to raise pressure-proofing of the drain of N channel MISFETQ2 of the circumference circuit of EPROM105, in order that only a predetermined distance may separate the high concentration portion of that from a sidewall 12 and the field insulator layer 4, the resist film 59 is formed. And n type impurity (As), for example, an arsenic, is introduced with an ion implantation, and n+ type semiconductor regions 13A and 13B are formed. Then, the resist film 59 is removed.

[0086] Next, as shown in drawing 56 or drawing 58 , in order to cover each N channel MISFETQ1, Q2, Q4, Q5, Q7, and Q8 top by the resist film 60 and to raise pressure-proofing of the drain of P channel MISFETQ6 of the circumference circuit of EEPROM107, in order that only a predetermined distance may separate the high-concentration portion from a sidewall 12 and the field insulator layer 4, the resist film 60 is formed. And p type impurity (B), for example, boron, is introduced with an ion implantation, and each p+ type semiconductor region 13 is formed. Then, the resist film 60 is removed. Then, as shown in drawing 5 or drawing 7 , the passivation film 14 is formed using the silicon-oxide film by CVD, a PSG film, the silicon-oxide films by the BPSG film spatter, or these cascade screens.

[0087] next, the passivation film 14 — alternative — removing — connection — a hole 15 — forming — next — connection — in order to ease the level difference of the portion of a hole 15, it anneals at the temperature of about 900 degrees C, and the glass flow of the passivation film 14 is performed Next, on the passivation film 14, after forming an aluminum film and the aluminum containing alloy film which added aluminum for silicon, copper or palladium, etc. to this as a principal component by the spatter, CVD, or the vacuum deposition or forming a silicide film (MoSi<sub>2</sub>, TaSi<sub>2</sub>, TiSi<sub>2</sub>, WSi<sub>2</sub>) in the upper part of these films further, patterning of these films is carried out and wiring 16 and data-line 16D are formed. In addition, before the aforementioned silicide film forms the aforementioned aluminum film or an aluminum containing alloy film, it is formed on the passivation film 14, and you may make it form the aforementioned aluminum film etc. on this. After forming Wiring 16 and 16D, the laminating of the silicon-oxide film by plasma CVD, the spin-on glass film by the rotation applying method, and the silicon-oxide film by plasma



CVD is carried out in order of a lower shell, and the passivation film 17 is formed. next, the passivation film 17 — alternative — removing — connection — a hole 18 is formed connection — since a hole 18 has the wiring layers 16 and 16D which become the lower part from the low aluminum film of the melting point etc. and it cannot make a level difference ease by the glass flow, it \*\*\*\*\*s, for example to the half grade of the thickness of the passivation film 17 by isotropic etching, such as wet etching, first, and, next, \*\*\*\*\*s and forms the half remaining by the dry etching of an anisotropy Next, wiring 19 is formed by the method of having formed the aforementioned wiring 16 and 16D on the passivation film 17. Next, although not illustrated, a PSG film and a silicon nitride film are formed as final passivation.

[0088] In addition, gate insulator layer 8D of MISFETQ8 for constituting MISFETQ7, Q9, and I/O102 for constituting CPU100, as shown in drawing 29 or drawing 31, drawing 32, or drawing 34 Although it \*\*\*\*\*ed, the thin silicon-oxide film 6 currently previously formed in the field of the above MISFETQ7, Q8, and Q9 was removed and it formed at the thermal oxidation process of exclusive use after this after first forming 2nd gate insulator layer 8A of EPROM105, and 2nd gate insulator layer 8C of EEPROM107 Before forming 2nd gate insulator layer 8A of the above EPROM 105, and 2nd gate insulator layer 8C of EEPROM107, the thin silicon-oxide film 6 of the field of MISFETQ7, Q8, and Q9 is \*\*\*\*\*ed. Then, when forming the 2nd gate insulator layers 8A and 8C of the above EPROM and EEPROM107, MISFETQ7, Q8, and Q9 field are oxidized simultaneously, and you may make it form gate insulator layer 8D.

[0089] Moreover, although the manufacture method of the gestalt this operation forms simultaneously the 1st gate insulator layer 6 of the memory cell Q1 of EPROM105 shown in drawing 14 or drawing 16, and the 1st gate insulator layer 6 of the memory MISFETQ4 of the memory cell of EEPROM107, you may make it change some of those thickness, as it forms these at a respectively separate process.

[0090] Next, the manufacture method of the memory cell of DRAM formed in the microcomputer of the gestalt of this operation shown in drawing 1 is explained.

[0091] Drawing 59 or drawing 62 is a cross section in the manufacturing process of the memory cell of DRAM prepared in the microcomputer of the gestalt of this operation shown in drawing 1.

[0092] First, the cross-section structure of the memory cell of Above RAM is explained using drawing 59. it is shown in drawing 59 — as — the memory cell of DRAM — p- type — a well — it is prepared in the field 3 And Q is the switch MISFET of a memory cell and C is the capacitive element of a memory cell. Gate insulator layer 8D which Switch MISFETQ becomes from a silicon-oxide film, For example, gate electrode (word line) 9D which consists of a two-layer film which carried out the laminating of the silicide film (MoSi<sub>2</sub>, TaSi<sub>2</sub>, TiSi<sub>2</sub>, WSi<sub>2</sub>), and constituted it on the polycrystal silicon film, It consists of n+ type semiconductor-region 13B which accomplishes portions other than the above n of n which accomplishes the portion by the side of the source and the channel field of a drain - type semiconductor-region 11B, the source, and a drain - type semiconductor-region 11B. The aforementioned capacitive element C consists of a n-type-semiconductor field 20 used as one electrode, a dielectric film 22 which consists of a thin silicon-oxide film, and electric conduction plate 7E which is the electrode of different another side from the above, for example, consists of a polycrystal silicon film. The insulator layer 21 which consists of a silicon-oxide film thicker than a dielectric film 22 is formed in the edge by the side of the switch MISFETQ of electric conduction plate 7E, and the electric field of the edge of electric conduction plate 7E are eased. The insulator layer 23 which consists of a silicon-oxide film is formed in the front face of electric conduction plate 7E. 16D is the data line and is connected to n+ type semiconductor-region 13B of the drain at the time of read-out of information.

[0093] Next, the manufacture method of the memory cell Above DRAM is explained using drawing 60 or drawing 62. it is shown in drawing 60 — as — the principal plane of the p - type semiconductor substrate 1 — p- type — a well — after forming a field 3, the field insulator layer 4, and p type channel-stopper field 5, the silicon-oxide film 6 whose thickness is about 500A is formed in the memory cell field of DRAM at the process ( drawing 14 or drawing 16 ) which forms the gate insulator layer 6 of the memory cells Q1, Q4, and Q5 of EPROM105 or

EEPROM107 However, this silicon-oxide film 6 is not used as a gate insulator layer of Switch MISFETQ. At this time, the n-type-semiconductor field 20 shown in drawing 60 and insulator layers 21 and 22 are not formed. Then, the n-type-semiconductor field 20 which is one of capacitive element C is formed at the process which forms the n-type-semiconductor field 20 which are the source of the memory cells Q4 and Q5 of EEPROM107, and a drain.

[0094] Next, an insulator layer 21 is formed in the field in which capacitive element C is formed at the process ( drawing 17 or drawing 19 ) which forms the insulator layer 21 of the memory cell of EEPROM107. At this time, the field in which a dielectric film 22 is formed also serves as an insulator layer 21. The thickness of an insulator layer 21 is about 1000-2000Å. Next, the insulator layer 21 of a portion in which the dielectric film 22 of capacitive element C is formed is alternatively removed at the process ( drawing 20 or drawing 22 ) which \*\*\*\*\*s the insulator layer 21 of a portion in which the tunnel insulator layer 22 of EEPROM107 is formed. Next, the dielectric film 22 of capacitive element C is formed at the process which forms the tunnel insulator layer 22 of EEPROM107. Next, at the floating-gate electrodes 7A and 7C and the process ( drawing 23 or drawing 28 ) which forms gate electrode 7B of MISFETQ2, Q3, and Q6 of a circumference circuit, respectively of EPROM105 and EEPROM107, as shown in drawing 61 , plate electrode 7E of capacitive element C is formed. Next, the insulator layer 23 which oxidizes thermally the front face of electric conduction plate 7E, and consists of a silicon-oxide film is formed. In addition, an insulator layer 23 may be formed by the silicon-oxide film by CVD, or may consist of laminatings of the silicon-oxide film by thermal oxidation, and the silicon-oxide film by CVD. When forming the aforementioned insulator layer 23, the field in which Switch MISFETQ is formed, CPU100, I/O102, and the silicon-oxide film 6 of the field in which MISFET which constitutes the circumference circuit of EPROM105 and EEPROM107 is prepared turn into the thick insulator layer 74 of thickness. Moreover, the thick insulator layer 23 is formed in the floating-gate electrode of the memory cells Q1 and Q4 of EPROM105 or EEPROM107, and the front face of gate electrode 7B of those circumference circuits. Then, after forming an insulator layer 23 in the front face of the aforementioned electric conduction plate 7E, the portion of the capacitive element C of DRAM109 is covered by the resist film. The field in which Switch MISFETQ is formed, CPU100, I/O102, and the thick insulator layer 74 of the field in which MISFET which constitutes the circumference circuit of EPROM105 and EEPROM107 is prepared. It \*\*\*\*\*s and the thick insulator layer 23 formed in the floating-gate electrode of the memory cells Q1 and Q4 of EPROM105 or EEPROM107 and the front face of gate electrode 7B of those circumference circuits is removed. And after removing the aforementioned resist film, the front face of the floating-gate electrodes 7A and 7C of EPROM105 and EEPROM107 is oxidized thermally, and the 2nd gate insulator layers 8A and 8C are formed.

[0095] Next, as shown in drawing 62 , gate insulator layer 8D which consists of a silicon-oxide film is formed in the field in which Switch MISFETQ is formed at the process ( drawing 32 or drawing 34 ) which forms gate insulator layer 8D in the field of CPU100 or I/O102. In addition, you may make it form this gate insulator layer 8D simultaneously with the process which forms the 2nd gate insulator layers 8A and 8C of the front face of the floating-gate electrodes 7A and 7C of EPROM105 and EEPROM107. Next, gate electrode 9D of Switch MISFETQ is formed at the process ( drawing 32 or drawing 43 ) which forms gate electrode 9D of the control gate electrodes 9A and 9C of EPROM105 and EEPROM107, CPU100, and I/O102 field. Next, when forming an insulator layer 10 in the front face of the control gate electrodes 9A and 9C of EPROM105 and EEPROM107, an insulator layer 10 is formed in the front face of the aforementioned gate electrode 9D of Switch MISFETQ. Then, the sidewall 12 which consists of a silicon-oxide film is formed. Next, n which accomplishes the source [ of Switch MISFETQ ] and channel side of a drain - type semiconductor-region 11B are formed at the process ( drawing 47 or drawing 49 ) which forms n of N channel MISFETQ2 of the circumference circuit of EPROM105, and N channel MISFETQ7 of CPU100 field - type semiconductor-region 11B. Next, n+ typ semiconductor-region 13B of the source of Switch MISFETQ and a drain is formed at the process ( drawing 53 or drawing 55 ) which forms n+ type semiconductor regions 13A and 13B which are the source of the memory cells Q1 and Q4 of EPROM105 and EEPROM107, and N channels MISFETQ7 and Q8 of MISFETQ2, Q5, CPU100, and I/O102 field of the

circumference circuits, and a part of drain, then, the passivation film 14 and connection — a hole 15, data-line 16D, the passivation film 17, wiring 19, and the final passivation film that is not illustrated are formed

[0096] As mentioned above, as explained, DRAM109 can be formed at the process which forms EPROM105 and EEPROM107.

[0097] Next, the structure of the capacitive element in the operational amplifier with which the microcomputer shown in drawing 1 is equipped, an analog-to-digital converter, and a digital to analog converter, and a resistance element is explained. This resistance element and capacitive element are used when a microcomputer processes an analog quantity.

[0098] Drawing 63 is a cross section of capacitive element and a resistance element with which the operational amplifier in the microcomputer which drawing 1 showed, the analog-to-digital converter, and the digital to analog converter are equipped.

[0099] In drawing 63, the resistance element and C which are used when R processes an analog quantity are capacitive element used when processing an analog quantity.

[0100] The aforementioned resistance element R consists of resistive-layer 7G which consist of a conductor of the 1st layer on the field insulator layer 4 (polycrystal silicon film), and end-connection child 7H which were prepared in the ends. An impurity is poured into high concentration and end-connection child 7H have come to be able to do the wiring 16 and the ohmic contact which consist of aluminum etc. Moreover, the wiring 16 with which the fixed potential Vcc or Vss is impressed is formed in the upper part of resistive-layer 7G. n- type — a well — the potential of a field 2 is being fixed to Vcc or Vss the 1st which the aforementioned capacitive element C becomes from the polycrystal silicon film of the 1st layer on the field insulator layer 4 — electrode 7F and the 1st — dielectric-film 8F of the front face of electrode 7F, and the 1st — the 2nd which consists of an electric conduction film of the 2nd layer prepared in piles on electrode 7F — it consists of electrode 9F The electric conduction film of the 2nd aforementioned layer consists of a two-layer film which carried out the laminating of the silicide film (MoSi<sub>2</sub>, TaSi<sub>2</sub>, TiSi<sub>2</sub>, WSi<sub>2</sub>) on for example, the polycrystal silicon film. the 1st — electrode 7F and the 2nd — an impurity is poured into high concentration and, as for electrode 9F, low resistance-ization is made and the 1st — electrode 7F and the 2nd — electrode 9F were alike, respectively and wiring 16 has connected

[0101] Next, the formation method of the aforementioned resistance element R and capacitativ element C is explained. Drawing 64 or drawing 66 is a cross section in the manufacturing process of the resistance element shown in drawing 63, and capacitive element.

[0102] The formation method of the aforementioned resistance element R and capacitive element C forms the polycrystal silicon film 7 of the 1st layer by CVD on the field insulator layer 4, as shown in drawing 64. The impurity for the reduction in resistance is not introduced into the polycrystal silicon film 7 at this time. Next, as a buffer film when introducing an impurity into the polycrystal silicon film 7 with an ion implantation, the front face of the polycrystal silicon film 7 is oxidized thermally, and the silicon-oxide film 61 is formed. Next, one or more kinds in Lynn (P), boron (B), or an arsenic (As) are poured into the polycrystal silicon film 7 about two 10<sup>12</sup> - 10<sup>16</sup> atoms/cm with an ion implantation. In addition, in performing this ion implantation by thermal diffusion, it removes the silicon-oxide film 61 of the front face of the polycrystal silicon film 7. Next, the impurity pouring mask 62 is formed in the upper part of the predetermined field used as resistive-layer 7G. What is necessary is just to form this impurity pouring mask 62 by the silicon-oxide film by CVD that what is necessary is just to form by the resist film when an ion implantation performs impurity pouring performed after this, when carrying out by thermal diffusion. The polycrystal silicon film 7 And the floating-gate electrodes 7A and 7C of the memory cells Q1 and Q4 of EPROM105 and EEPROM107, as gate electrode 7B of MISFETQ2, Q3, Q5, and Q6 of thos circumference circuits — using it — moreover, end-connection child 7H of a resistance element R and the 1st of capacitive element C, since it is used as electrode 7F After forming the aforementioned impurity pouring mask 62, 2nd impurity pouring is performed and low resistance-ization of the polycrystal silicon film 7 is attained. In addition, thermal diffusion is performed, after removing the insulator layer 61 of the portion which is not covered with the impurity pouring mask 62 and exposing the polycrystal silicon film 7, in pouring in the

2nd aforementioned impurity by thermal diffusion.

[0103] next, it is shown in drawing 65 — as — the resist film 63 — using — the polycrystal silicon film 7 — patterning — carrying out — resistive-layer 7G, end-connection child 7H, and the 1st of capacitive element C — electrode 7F are formed At this time, gate electrode 7 of MISFETQ2, Q3, Q5, and Q6 B of the floating-gate electrodes 7A and 7C of the memory cells Q1 and Q4 of EPROM105 and EEPROM107 and those circumference circuits is also formed. next, the same process as aforementioned drawing 29 , drawing 30 , drawing 31 or drawing 44 , drawing 45 , and drawing 46 shows to drawing 66 — as — dielectric-film 8F of capacitive element C, and the 2nd — electrode 9F, a resistance element R, and capacitive element C — the 1st — electrode 7F and the 2nd — the front face of electrode 9F — a wrap — the thin insulator layer 10 is formed

[0104] In addition, an impurity predetermined by the 1st impurity pouring is replaced with carrying out low concentration pouring as mentioned above as a method of giving predetermined resistance to resistive-layer 7G. Before performing the 2nd aforementioned impurity pouring, or after carrying out, you may make it aim at adjustment of the resistance of resistive-layer 7G by pouring in the impurity introduced by the 2nd impurity pouring, and the impurity of a reverse conductivity type, or carrying out specified quantity pouring of the insulators; such as oxygen and nitrogen. Furthermore, resistive-layer 7G may still be the polycrystal silicon film 7 (however, end-connection child 7H pour in an impurity, and attain low resistance-ization.) which does not pour in an impurity, or may introduce a high-concentration impurity like conductive layers 7A, 7B, 7C, 7H, and 7F other than resistive-layer 7G.

[0105] As mentioned above, as explained, a resistance element R and capacitive element C can be formed using the process which forms EPROM105 and EEPROM107.

[0106] Next, one I/O cell in I/O102 of the microcomputer shown in drawing 1 is shown in drawing 67 .

[0107] The I/O cell shown in this drawing 67 is used for making a fluorescent display etc. drive. A fluorescent display is driven in [ big / voltage ] about -40-0V, and a big difference is from 0V to 5V which are the usual operating range of a microcomputer. After about [ -40V ] voltage carries out voltage conversion to the usual operating voltage Vcc level of a microcomputer by depletion type P channel MISFETD1, it is inputted into the inverter which consists of P channel MISFETTP1 and N channel MISFETTN1, and after that various processing is performed there. In addition, N channel MISFETQ8 shown in drawing 7 is equivalent to aforementioned N channel MISFETTN1. On the other hand, through the inverter circuit which consists of P channel MISFETTP2 and N channel MISFETTN2, the data outputted towards a fluorescent display from a microcomputer are outputted, after voltage conversion is carried out by the inverter circuit which consists of P channel MISFETD2 of a depletion type, and P channel MISFETTP3 of an enhancement type.

[0108] Next, the cross-section structure of P channel MISFETTP3 shown in aforementioned drawing 67 is shown in drawing 68 . it is shown in drawing 68 — as — P channel MISFETTP3 — n- type — a well — it is constituted by field 2I this n- type — a well — field 2I — n- type — a well — a field 2 — high impurity concentration — low — moreover, the junction depth — n- type — a well — it is deeper than a field 2 And MISFETTP3 consists of a gate insulator layer 6 which consists of a silicon-oxide film, and p+ type semiconductor-region 13C which accomplishes portions other than gate electrode 7I which consists of a polycrystal silicon film, p which becomes a part [ the source and a drain ] - type semiconductor-region 11I, and the above p of the source and a drain - type semiconductor-region 11I. p - type semiconductor-region 11I is prepared in the lower part of the field insulator layer 4 without gate electrode 7I, and surrounds the circumference of the aforementioned p+ type semiconductor-region 13C, and is prepared. The edge of gate electrode 7I has extended on the field insulator layer 4. described [ above ] n- type — a well — you made it isolated from Above p - type semiconductor-region 11I, and n type channel-stopper field 5I is prepared in the bottom of the field insulator layer 4 of field 2I

[0109] Next, the manufacture method of aforementioned P channel MISFETTP3 is explained using drawing 69 or drawing 70 . Drawing 69 or drawing 70 is a cross section in the

manufacturing process of P channel MISFETTP3 which operates in 0-+40V.

[0110] the manufacture method of P channel MISFETTP3 is shown in drawing 69 — as — first — n- type — a well — in order to form field 2I, the front face of the p- type semiconductor substrate 1 is oxidized thermally, and the silicon-oxide film 64 is formed next — as the mask of heat-resistant oxidization on this — a silicon nitride film 66 — forming — this — as the mask of an ion implantation — using — ion implantation — carrying out — n- type — a well — field 2I is formed next, the portion, i.e., n- type, exposed from the silicon nitride film 66 of the front face of the semiconductor substrate 1 — a well — field 2I is oxidized thermally and the silicon-oxide film 65 somewhat thicker than the silicon-oxide film 64 is formed

[0111] it is shown in drawing 70 — as — a silicon nitride film 66 — removing — new — a silicon nitride film — forming — n- type — a well — the aforementioned silicon nitride film of the formation field of a field 2 — removing — an ion implantation — carrying out — n- type — a well — after forming a field 2, the silicon-oxide film 65 is formed in the front face by thermal oxidation then, a silicon nitride film is removed, next it is shown in drawing 71 — as — the thickness difference of the silicon-oxide film 64 and the silicon-oxide film 65 — using — described [ above ] n- type of the semiconductor substrate 1 — a well — field 2I and n- typ — a well — portions other than field 2 — p type impurity — pouring in — p- type — a well — a field 3 is formed Next, a silicon nitride film 68 is formed as a mask of the thermal oxidation when forming the field insulator layer 4 on the silicon-oxide films 64 and 65. next — as the mask when forming n type channel-stopper field 5I — n- type — a well — field 2I and n- type — a well — a field 2 and p- type — a well — a resist film is formed on a field 3 and n- type — a well — the ion implantation of the n type impurity is carried out to the front face of field 2I, and n type channel-stopper field 5I is formed in it Then, the resist film 68 is removed.

[0112] next, it is shown in drawing 72 — as — new — the resist film 69 — forming — this resist film 69 and silicon nitride film 68 — a mask — carrying out — n- type — a well — an ion implantation is carried out to the front face of field 2I, and p- type semiconductor-region 11I is formed in it The resist film 69 is removed after this. next, it is shown in drawing 73 — as — the thickness difference of the silicon-oxide film 64 and the silicon-oxide film 65 — using — p- type — a well — the ion implantation of the p type impurity is carried out to the front face of a field 3, and p type channel-stopper field 5 is formed in it then, n- type — a well — field 2I and n- type — a well — a field 2 and p- type — a well — the portion exposed from the silicon nitride film 68 of a field 3 is oxidized thermally, and the field insulator layer 4 is formed After this, Switch MISFET or the circumference circuit in the memory MISFETQ4 of the memory cell Q1 of EPROM105 shown in drawing 5 or drawing 7 explained previously, and the memory cell of MISFETQ2, Q3, and EEPROM107 of a circumference circuit, and its memory cell p+ type semiconductor-region 13C which accomplishes a part of the gate insulator layer 6 shown in drawing 68 , gate electrode 7I, an insulator layer 10, sidewall 12, source, and drain at the process which forms N channel MISFETQ5 for constituting and P channel MISFETQ6 of a circumference circuit is formed. furthermore, the passivation film 14 of the 1st layer and connection — a hole 15, wiring 16, the passivation film 17 of the 2nd layer, and connection — a hole 18, wiring 19, and the final passivation film that is not illustrated are formed

[0113] In addition, P channel MISFET shown in aforementioned drawing 68 may consist of gate insulator layers 6 using the thick gate insulator layer 70, as shown in drawing 74 .

[0114] Drawing 74 is the cross section of P channel MISFET using the gate insulator layer 70 thicker than the gate insulator layer 6 of P channel MISFET shown in drawing 68 , and N channel MISFET.

[0115] drawing 74 — setting — left-hand side n- type — a well — P channel MISFET is constituted in field 2I The gate insulator layer 70 of this P channel MISFET consists of a silicon-oxide film, and thickness is thick with about 1000-2000Å. p- typ — a well — N channel MISFET which operates in 0-+40V is constituted by the field 3 This N channel MISFET consists of n+ type semiconductor-regi n 13B which accomplishes portions other than the gate insulator layer 70, gate electrode 7J which consist for example, of a p lycrystal silicon film, n-type- s miconductor field 5I which accomplish s a part of source and drain, and the aforementioned n- type-semiconductor field 5I of the source and a drain. Gat electrode 7J have extended also on

the field insulator layer 4. Moreover, n-type-semiconductor field 5I is prepared in the bottom of the field insulator layer 4, surrounds n<sup>+</sup> type semiconductor-region 13B, and is prepared. moreover, n-type-semiconductor field 5I and n<sup>-</sup> type — a well — between field 2I and between n-type-semiconductor field 5I and p type channel-stopper fields 5 — p type with high impurity concentration higher than p type channel-stopper field 5 — channel-stopper field 5J are prepared

[0116] Next, the manufacture method of P channel MISFET shown in aforementioned drawing 74 and N channel MISFET is explained using drawing 75. Drawing 75 is a cross section in the manufacturing process of P channel MISFET shown in drawing 74, and N channel MISFET.

[0117] the process as the process shown in aforementioned drawing 69 or drawing 73 that P channel MISFET and N channel MISFET which were shown in drawing 75 are almost the same — it is — the p - type semiconductor substrate 1 — n<sup>-</sup> type — a well — field 2I (and 2) and p<sup>-</sup> type — a well — field 3, n-type-semiconductor field 5I, p type semiconductor field 5J, and p - type semiconductor-region 11I, p type channel-stopper field 5, and the field insulator layer 4 are formed then, the silicon nitride film 68 ( drawing 71 ) which is the mask of the thermal oxidation used when forming the field insulator layer 4 and the silicon-oxide films 64 and 65 under it — removing — n<sup>-</sup> type — a well — field 2I (and 2) and p<sup>-</sup> type — a well — the front face of the portion which is not covered by the field insulator layer 4 of a field 3 is exposed and the exposed n<sup>-</sup> type — a well — field 2I (and 2) and p<sup>-</sup> type — a well — the front face of a field 3 is oxidized thermally and the gate insulator layer 70 is formed Then, gate insulator layers 70 other than the field in which P channel MISFET and N channel MISFET which were shown in drawing 74 are prepared are removed by etching using the resist film. after [ and ] removing the resist film — again — n<sup>-</sup> type — a well — field 2I (and 2) and p<sup>-</sup> type — a well — the gate insulator layer 6 of MISFET which oxidizes the front face of a field 3 thermally, for example, operates in 0-5V is formed

[0118] After this, drawing 4 explained previously — or N channel MISFETQ5 which are the memory MISFETQ4 of the memory cell Q1 of EPROM105 shown in drawing 7, and the memory cell of MISFETQ2, Q3, and EEPROM107 of a circumference circuit, and the switch MISFET in the memory cell, At the process which forms P channel MISFETQ6 of a circumference circuit, the gate electrodes 7I and 7J, n<sup>+</sup> type semiconductor-region 13B which is an insulator layer 10, a sidewall 12, the source of N channel MISFET, and a part of drain, p<sup>+</sup> type semiconductor-region 13C which is the source of P channel MISFET, and a part of drain, the passivation film 14, and connection — a hole 15, wiring 16, the passivation film 17, and connection — a hole 18, wiring 19, and the final passivation film that is not illustrated are formed

[0119] In addition, as mentioned above, although the microcomputer of the form of this operation forms gate electrode 7B [ of the circumference circuit of EPROM105 ] of MISFETQ2 and Q3, and gate electrode 7B of MISFETQ5 and Q6 of the circumference circuit of EEPROM107 using the polycrystal silicon film of the 1st layer, thickness of the polycrystal silicon film of the 1st aforementioned layer is made thin with detailed-izing of semiconductor integrated circuit equipment. Moreover, thickness of the gate insulator layer 6 or the silicon-oxide film 10 of the front face of gate electrode 7B is also made thin. For this reason, at the time of the ion implantation for forming the source and a drain, impurity ion may penetrate the aforementioned silicon-oxide film 10, the gate electrode 7, and the gate insulator layer 6, and may leak to a channel field, MISFETQ2, Q3, Q5, and Q6 may carry out, and a threshold may shift from a predetermined value. If patterning of the silicon-oxide film and the polycrystal silicon film is carried out and gate electrode 7B is formed, after forming a thick silicon-oxide film by CVD etc. on the polycrystal silicon film of the 1st aforementioned layer, in order to solve this, since a thick silicon-oxide film is on gate electrode 7B, the leakage of the impurity ion to the channel field at the time of the aforementioned d i n implantati n can be prevented. However, as mentioned above, the polycrystal silicon film of the 1st layer is used as floating-gate electrode 7A of the memory cell Q1 of EPROM105, or floating-gate electrode 7C of the memory MISFETQ4 of the memory cell of EEPROM107. If the 2nd gate insulator layers 8A and 8C which consist of a silicon-oxid film thin on it are not formed, since there is nothing, there is a satisfactory problem that a thick silicon-oxide film cannot above only be formed by CVD etc. on

a polycrystal silicon film.

[0120] How to form the source and a drain is explained in MISFET which it is there, next gate electrode 7B becomes from the polycrystal silicon film of the 1st layer, without impurity ion leaking to a channel field.

[0121] Drawing 76 or drawing 81 is drawing for explaining the manufacture method of MISFET which can form the source and a drain, without forming a gate electrode, the electric conduction film, for example, the polycrystal silicon film, of the 1st layer, and moreover leaking impurity ion to a channel field. In addition, in drawing 76 or drawing 81, the field shown by Q1 is a field in which the memory cell of EPROM105 is formed, and the field shown by Q2 is a field in which N channel MISFET of the circumference circuit of EPROM105 is formed.

[0122] As shown in drawing 76, the method of forming MISFET, without leaking impurity ion to a channel field forms the polycrystal silicon film 7 of the 1st layer, and after it pours in the predetermined impurity for aiming at low resistance to it, it forms the thick silicon-oxide film 71 by CVD.

[0123] Next, as shown in drawing 77, the silicon-oxide film 71 of the field which forms the memory cell Q1 of EPROM105 is removed by etching by using for example, a resist film as a mask. After a resist film removes the silicon-oxide film 71 alternatively, it is removed. Next, as patterning of the aforementioned polycrystal silicon film 7 is carried out and it is shown in drawing 78 by etching which used as the mask the resist film which is not illustrated, floating-gate electrode 7A of the memory cell Q1 of EPROM105 and gate electrode 7B of MISFETQ2 are formed. The mask which consists of a resist film is removed after patterning. The thick silicon-oxide film 71 is on gate electrode 7B of N channel MISFETQ2.

[0124] Next, as shown in drawing 79, the front face of floating-gate electrode 7A is oxidized thermally, and 2nd gate insulator layer 8A is formed. Next, as shown in drawing 80, the electric conduction film of the 2nd layer is formed on the semiconductor substrate (chip) 1, patterning of this is carried out and control gate electrode (word line) 9A of EPROM105 is formed. Next, as shown in drawing 81, n+ type semiconductor regions 13A and 13B which accomplish portions other than the source of MISFETQ2 of n which accomplishes the source of MISFETQ2 of n-type-semiconductor field 11A which accomplishes the source of a memory cell Q1 and a part of drain, and a circumference circuit, and a part of drain - type semiconductor-region 11B, a memory cell Q1, and a circumference circuit, and the above of a drain are formed.

[0125] Thus, since the thick silicon-oxide film 71 is on gate electrode 7B if the source of N channel MISFETQ2 and a drain are formed, it can prevent that the impurity for forming the source and a drain leaks to a channel field.

[0126] As mentioned above, according to the gestalt of this operation, the following effects can be acquired so that it may understand from having explained.

(1) In the semiconductor integrated circuit equipment which constitutes the microcomputer equipped with a central processing unit and the non-volatile memory program data, dictionary data, etc. of the central processing unit are remembered to be on one semiconductor chip The 1st non-volatile memory from which the aforementioned non-volatile memory writes in information electrically, and eliminates the written-in information by irradiation of ultraviolet rays (EPROM105), Information is written in electrically. by the bird clapper from the 2nd non-volatile memory (EEPROM107) which writes in and eliminates information electrically ROM rewritable [ with large capacity ] can be obtained and rewritable ROM can be electrically obtained on a system.

[0127] (2) Use EPROM105 for the data storage which needs large capacity from the above (1) although there is little number of times of rewriting. By using EEPROM107 for an operation data storage with required memorizing after the data storage as which small capacity is sufficient although many, or power supply interception, the number of times of rewriting The semiconductor integrated circuit equipment with which EPROM105 consists of a MAKUIRO computer equipped with ROM with the high flexibility with which the fault that informational r writing cannot be performed on a system, and the fault that the memory space of EEPROM107 was small were compensated mutually can be obtained.

[0128] That is, since the control data with required memorizing when program data and

dictionary data which need big storage capacity are memorized by EPROM105, and the contents of data change with time like the data for control of feedback control and a power supply is intercepted is memorizable by EEPROM107, it can improve the function of the semiconductor integrated circuit equipment which consists of a 1 chip microcomputer.

[0129] (3) Nonvolatile RAM can be obtained from EEPROM107 of the above (1).

(4) Since it had SRAM as the 1st RAM of 1 chip microcomputer, RAM which can perform data transfer at high speed is obtained.

(5) Since it had DRAM as the 2nd RAM of 1 chip microcomputer, mass RAM can be obtained.

(6) Although it is not necessary using SRAM to perform high-speed data transfer to a data storage with required performing data transfer at high speed although small capacity is sufficient from the above (4) and (5), RAM with which the fault that-izing of the SRAM cannot be carried out [ large capacity ], and the fault that the transfer rate of DRAM was slow were compensated mutually can be obtained by using DRAM for the data storage which needs big storage capacity.

[0130] (7) Form the memory cell Q1 of EPROM105 in the 1st field of the semiconductor substrate 1. The memory MISFETQ4 in the memory cell of EEPROM107 is formed in the 1st field of the above of the aforementioned semiconductor substrate 1, and the 2nd different field. In the manufacture method of the semiconductor integrated circuit equipment which constitutes the microcomputer equipped with the process which forms the switch MISFETQ5 in the memory cell of the above EEPROM 107 in the 3rd field contiguous to the 2nd field of the above of the aforementioned semiconductor 1 The process which forms the 1st gate insulator layer 6 in the front face of the 1st, the 2nd, and 3rd fields of the aforementioned semiconductor substrate 1, respectively, The process which forms the source and a drain 20 in the predetermined portion under the above 2nd and the aforementioned 1st gate insulator layer 6 of the 3rd field, The process which forms the floating-gate electrodes 7A and 7C on the above 1st and the 1st gate insulator layer 6 of the 2nd field, and forms gate electrode 7B on the 1st gate insulator layer 6 of the 3rd field of the above, The process which forms the 2nd gate insulator layers 8A and 8C in the front face of the floating-gate electrodes 7A and 7C of the 1st field of the above, and the 2nd field, The process which forms the control gate electrodes 9A and 9C, respectively on the above 1st and the 2nd gate insulator layers 8A and 8C of the 2nd field, By equipping the predetermined portion under the 1st gate insulator layer 6 of the 1st field of the above with the process which forms the source and Drains 11A and 13A, and performing each aforementioned process in above sequence EEPROM107 can be formed only by adding the process which forms the n-type-semiconductor field 20 used as the source of EEPROM107, and a drain in the process which forms EPROM105, and the process which forms the tunnel insulator layer 22 on the n-type-semiconductor field 20.

[0131] (8) Floating-gate electrode 7A of the memory cell Q1 of EPROM105, Floating-gate electrode 7C of the storage element Q4 in the memory cell of EEPROM107 is formed by the conductive layer (polycrystal silicon film) of the 1st layer. By having formed the 1st gate insulator layer 6 of the elements Q1 and Q4 of each above at the same process, and having formed the 2nd gate insulator layers 8A and 8C on the floating-gate electrodes 7A and 7C of the elements Q1 and Q4 of each above at the same process Each memory cell of EPROM105 and EEPROM107 can be obtained by the few manufacturing process.

[0132] (9) The circumference circuit of EPROM105 MISFETQ2, Q3 to constitute And the circumference circuit of EEPROM107 Since the gate insulator layer 6 of MISFETQ5 and Q6 to constitute was formed at the same process as the 1st gate insulator layer 6 of the memory cell Q1 of the above EPROM 105, and the 1st gate insulator layer 6 of the memory MISFETQ4 in the memory cell of EEPROM107 The thickness of the gate insulator layer 6 of MISFETQ2, Q3, Q5, and Q6 of these circumference circuit can become thick, and can raise isolation voltage.

[0133] (10) Since gate insulator layer 8D of MISFETQ7-Q9 for constituting CPU (Boolean part) 100 and I/O102 is formed at the 1st gate insulator layer 6 of the memory cell Q1 of EPROM105 and the 1st gate insulator layer 6 of the memory MISFETQ4 in the memory cell of EEPROM107, and another process, a setup of the thickness of the aforementioned gate insulator layer 8D and the gate insulator layer 6 can be made into the independently optimal respectively value.

[0134] (11) Since gate electrode 9D of MISFETQ7-Q9 for constituting CPU (Boolean part)100



and I/O102 was formed by the two-layer film which carried out the laminating of the silicide film on the conductive layer of the 2nd layer, i.e., for example, a polycrystal silicon film, low resistance-ization of the gate electrode 9D can be attained.

[0135] (12) Since the voltage impressed to MISFET of EPROM105 and EEPROM107 including the circumference circuit from the above (8) or the thing of (11) and the voltage impressed to MISFET for constituting CPU (Bo lean part)100 and I/O102 can be set up independently, the structure of each element can be set up independently.

[0136] (13) DRAM109 can be formed at the manufacturing process or \*\*\*\*\* same process of EEPROM107.

(14) Since the dielectric film 22 of the capacitive element C of the memory cell of DRAM109 is formed very thinly like the tunnel insulator layer 22 of the memory cell of EEPROM107 from the thing of the above (12), capacity value of the capacitive element C can be enlarged.

[0137] (15) Mass DRAM can be obtained from the thing of the above (14), and mass RAM is further obtained from this.

(16) the resistance element R which constitutes an analog circuit — the same process as the floating-gate electrodes 7A and 7C of the memory MISFETQ4 in the memory cell of EPROM105, or the memory cell of EEPROM107 — or it can form at the same process mostly and capacitive element C can be formed at the same process as the memory cell of EPROM105 or EEPROM107

[0138] (17) Since a resistance element R and capacitive element C are covered by the insulator layer 10, the resistance and capacity value which were stabilized at the time of operation of a circuit are obtained.

(18) the well under a resistance element R and capacitive element C — since the field was fixed electrically, the resistance and capacity value which were stabilized at the time of operation of a circuit are obtained

(19) Since the upper part of a resistance element R is covered by the conductive layer 19 made into fixed potential, other signal wiring can be made to extend on the conductive layer 19.

(20) From the above (16) or (19), the stable resistance element R and stable capacitive element C of an analog quantity required for processing of 1 chip microcomputer can be obtained easily.

[0139] (21) The high proof pressure MISFET can be mostly formed at the same process with the process which forms EPROM105, EEPROM107, and DRAM109.

(22) When gate electrode 7I of the high proof pressure MISFET is made to extend even on the field insulator layer 4 and it was made for an edge to ride on the field insulator layer 4, pressure-proofing between gate electrode 7I and the semiconductor substrate 1 can be improved.

[0140] (23) Pressure-proofing of the source and a drain can be improved by having surrounded \*\*\*\* of the high semiconductor region of the high impurity concentration which is the source of the high proof pressure MISFET, and a part of drain by the low semiconductor region of high impurity concentration.

(24) The high proof pressure MISFET used for I/O102 of 1 chip microcomputer can be easily obtained from the above (21) or the thing of (23).

[0141] As mentioned above, although this invention was concretely explained based on the form of operation, it cannot be overemphasized by this invention that it can change variously in the range which is not limited to the form of the aforementioned implementation and does not deviate from the summary.

[0142] although the microcomputer shown in drawing 1 is equipped with SRAM108 and DRAM109 as RAM — SRAM108 — or either of DRAMs109 — it is good

[0143]

[Effect of the Invention] It will be as follows if the effect of a typical thing is briefly explained among invention indicated by this application. EPROM is used for the data storage which needs large capacity although there is little number of times of rewriting. Although there is much number of times of rewriting, by using EEPROM for an operation data storage with required memorizing after a small data storage or power supply interception, data capacity 1 chip microcomputer equipped with ROM with the high flexibility with which the fault that EPROM

cannot perform informational rewriting on a system, and the fault that the memory space of EEPROM was small were compensated mutually can be obtained.

[0144] That is, since the data for control with required memorizing program data and dictionary data which need big storage capacity by EPROM, and memorizing when the content of data changes with time like the data for control of feedback control and a power supply is intercepted are memorized by EEPROM, they can improve the function of the semiconductor integrated circuit equipment which consists of a 1 chip microcomputer.

[0145] Moreover, EEPROM can be formed only by adding the process which forms the n-type-semiconductor field 20 used as the source of EEPROM, and a drain in the process which forms EPROM, the process which forms the thick insulator layer 21 on the n-type-semiconductor field 20, and the process which forms the tunnel insulator layer 22 on the n-type-semiconductor field 20.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the block diagram showing the microcomputer of the semiconductor integrated circuit equipment which is the gist of 1 operation of this invention.

[Drawing 2] It is the representative circuit schematic of the memory cell of SRAM108 with which the microcomputer shown in drawing 1 is equipped.

[Drawing 3] It is the representative circuit schematic showing the outline composition of EPROM105 carried in the aforementioned microcomputer.

[Drawing 4] It is the representative circuit schematic showing the outline composition of EEPROM107 carried in the aforementioned microcomputer.

[Drawing 5] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 6] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 7] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 8] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 9] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 10] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 11] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 12] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 13] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 14] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 15] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 16] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 17] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 18] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 19] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 20] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[illegible]

[Drawing 47] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 48] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 49] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 50] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 51] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 52] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 53] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 54] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 55] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 56] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 57] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 58] It is a cross section in the manufacturing process of MISFET which constitutes Boolean parts of the aforementioned microcomputer, such as EPROM, EEPROM, and CPU.

[Drawing 59] It is a cross section in the manufacturing process of the memory cell of DRAM prepared in the aforementioned microcomputer.

[Drawing 60] It is a cross section in the manufacturing process of the memory cell of DRAM prepared in the aforementioned microcomputer.

[Drawing 61] It is a cross section in the manufacturing process of the memory cell of DRAM prepared in the aforementioned microcomputer.

[Drawing 62] It is a cross section in the manufacturing process of the memory cell of DRAM prepared in the aforementioned microcomputer.

[Drawing 63] It is the cross section of the capacitive element in the operational amplifier with which the aforementioned microcomputer is equipped, an analog-to-digital converter, and a digital to analog converter, and a resistance element.

[Drawing 64] It is a cross section in the manufacturing process of the capacitive element shown in drawing 63, and a resistance element.

[Drawing 65] It is a cross section in the manufacturing process of the capacitive element shown in drawing 63, and a resistance element.

[Drawing 66] It is a cross section in the manufacturing process of the capacitive element shown in drawing 63, and a resistance element.

[Drawing 67] It is the representative circuit schematic showing one I/O cell in I/O of the microcomputer shown in drawing 1.

[Drawing 68] It is the cross section of P channel MISFET shown in drawing 67.

[Drawing 69] It is a cross section in the manufacturing process of P channel MISFETTP3 shown in drawing 68.

[Drawing 70] It is a cross section in the manufacturing process of P channel MISFETTP3 shown in drawing 68.

[Drawing 71] It is a cross section in the manufacturing process of P channel MISFETTP3 shown in drawing 68.

[Drawing 72] It is a cross section in the manufacturing process of P channel MISFETTP3 shown in drawing 68.

[Drawing 73] It is a cross section in the manufacturing process of P channel MISFETTP3 shown in drawing 68.

[Drawing 74] It is the cross section of P channel MISFET using the gate insulator layer 70 thicker than the gate insulator layer 6 of P channel MISFET shown in drawing 68 , and N channel MISFET.

[Drawing 75] It is a cross section in the manufacturing process of P channel MISFET shown in drawing 74 , and N channel MISFET.

[Drawing 76] They are the source and a cross section explaining the manufacture method of MISFET which can form a drain, without forming a gate electrode by the polycrystal silicon film of the 1st layer, and leaking impurity ion to a channel field further.

[Drawing 77] They are the source and a cross section explaining the manufacture method of MISFET which can form a drain, without forming a gate electrode by the polycrystal silicon film of the 1st layer, and leaking impurity ion to a channel field further.

[Drawing 78] They are the source and a cross section explaining the manufacture method of MISFET which can form a drain, without forming a gate electrode by the polycrystal silicon film of the 1st layer, and leaking impurity ion to a channel field further.

[Drawing 79] They are the source and a cross section explaining the manufacture method of MISFET which can form a drain, without forming a gate electrode by the polycrystal silicon film of the 1st layer, and leaking impurity ion to a channel field further.

[Drawing 80] They are the source and a cross section explaining the manufacture method of MISFET which can form a drain, without forming a gate electrode by the polycrystal silicon film of the 1st layer, and leaking impurity ion to a channel field further.

[Drawing 81] They are the source and a cross section explaining the manufacture method of MISFET which can form a drain, without forming a gate electrode by the polycrystal silicon film of the 1st layer, and leaking impurity ion to a channel field further.

[Description of Notations]

1 [ — OSC, ] — A semiconductor chip (microcomputer), 100 — CPU, 101 102 [ — TIMER, 105 / — EPROM, ] — I/O, 103 — SI, 104 106 [ — SRAM, ] — An armature-voltage control circuit, 107 — EEPROM, 108 109 [ — The memory cell of EPROM, ] — DRAM, 110 — I/O BUS and Q1 Q2, Q3 — MISFET of a circumference circuit, Q4 — The storage element in the memory cell of EEPROM, Q5, Q6 — MISFET of the circumference circuit of EEPROM, Q7, Q9 — MISFET of CPU, Q8 [ — The gate electrode which consists of an electric conduction film of the 1st layer, ] — MISFET, 6 — The 1st gate insulator layer, 7A, 7B, 7C 8A, 8C — The 2nd gate insulator layer on a floating-gate electrode, 8 D—CPU, and the 1st gate insulator layer of an I/O field, 9A, 9C, 9D — The gate electrode which consists of an electric conduction film of the 2nd layer, 10 — A thin silicon-oxide film, 11A, 11B, 11C [ — The source the high concentration layer of a drain, 20 / — n type source of EEPROM a drain, 21 / — A thick gate insulator layer, 22 / — Tunnel insulator layer. ] — The source, the low concentration layer of a drain, 12 — A sidewall, 13A, 13B, 13C

---

[Translation done.]



## 【特許請求の範囲】

【請求項1】 CPUとSRAMとDRAMとが同一の半導体基板上に集積されていることを特徴とする半導体集積回路装置。

【請求項2】 前記CPUが少なくとも制御部、演算部及びレジスタを含むことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記SRAMが、前記CPUと内部バスを介して接続され、キャッシュメモリとして動作することを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

【請求項4】 前記SRAMの容量が前記DRAMの容量よりも小さいことを特徴とする請求項1乃至請求項3の何れか一項に記載の半導体集積回路装置。

【請求項5】 前記CPUと前記SRAMと前記DRAMとは、相互に内部バスを介して接続されていることを特徴とする請求項1乃至請求項4の何れか一項に記載の半導体集積回路装置。

【請求項6】 同一基体の第1の領域にDRAMが形成され、第2の領域にSRAMが形成され、第3の領域にCMISFETが形成され、前記DRAMの容量がSRAMの容量よりも大きいことを特徴とする半導体集積回路装置。

【請求項7】 前記CMISFETは少なくともCPUの一部の回路を構成することを特徴とする請求項6に記載の半導体集積回路装置。

【請求項8】 前記SRAMのNMISFETのゲート電極と、前記CMISFETのゲート電極とが同一の導体層によって形成されていることを特徴とする請求項6又は請求項7に記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法に関するものであり、特に、1チップマイクロコンピュータからなる半導体集積回路装置に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】制御部、演算部、記憶部及び入出力部を同一半導体基板上に搭載した1チップマイクロコンピュータは、例えば、CQ出版株式会社から昭和59年4月1日に発行された早川正春著「ワンチップ・マイコンの基礎とその応用技術」に記載されているように、安価でかつ高機能な制御用素子として産業用や家電用に広く使われている。前記1チップマイクロコンピュータの記憶部は各種情報処理のためのプログラムや辞書データ等が記憶されるROM(Read Only Memory)と、主に実行中のプログラムや演算途中のデータが一時記憶されるRAM(Random Access Memory)とから構成される。

【0003】前記ROMとしては通常、製造工程中にデータの書き込みを行うマスクROMが使用されている

が、システムデバッグ等を容易にするため、製造後にデータを書き込むことが可能なEPROM(Erasable and Programmable ROM)も広く使用されている。EPROMは、紫外線を照射することによってそのデータの消去ができるので、何回でも情報の書き替えができて、自由度の大きな1チップマイクロコンピュータを得ることができる。

## 【0004】

【発明が解決しようとする課題】本発明者は、ROMとしてEPROMを備えた1チップマイクロコンピュータを検討した結果、次の問題点を見出した。

【0005】前記EPROMの中のデータの書き替えは、紫外線を照射することによって行われる。このため、前記1チップマイクロコンピュータを電子機器の中に組み込んだ後は、EPROMの情報の書き替えを容易に行うことができない。このため、EPROMでは、例えばフィードバック制御がなされる電子機器の制御データのように時間と共に変化するデータの記憶ができないという問題があった。そして、フィードバック制御用のデータは、電子機器の電源が遮断された後も動作を再開する時に備えて1チップマイクロコンピュータの中に記憶されていなければならないので、どうしても不揮発性のメモリで記憶しておく必要がある。そこで、時間と共に変化する制御データを記憶するためにEEPROM(Electrically Erasable and Programmable ROM)を用いることが考えられる。このEEPROMであれば、その中のデータをシステム上においてさえ、1チップマイクロコンピュータの制御部からの制御信号に従って書き替えることができ、また電源遮断時にも前記データを記憶しておくことができる。

【0006】しかし、EEPROMのメモリセルには、EPROMのメモリセルと同じようにフローティングゲート電極を有し、情報の記憶がそのフローティングゲート電極中にキャリアを注入することによって行われるものと、MISFETのゲート電極の下にゲート絶縁膜を酸化シリコン膜と窒化シリコン膜の2層膜で形成し、情報の記憶がその窒化シリコン膜と酸化シリコン膜の間のトラップ準位にキャリアをトラップさせることによって行われるものと2つのタイプのメモリセルがあるが、いずれのメモリセルも、情報となる電荷を蓄積する部分を有する記憶用MISFETと、書き込み、消去及び読み出し動作時に選択された記憶用MISFETをデータ線に接続するためのスイッチMISFETとの2つのMISFETとで構成されているため、メモリセルサイズが大きくなるという問題がある。このため、前記EEPROMの機能が優れているにもかかわらず、限られたチップサイズの1チップマイクロコンピュータの中に大容量の不揮発性情報を記憶させるためにEEPROMを設けることが難しいという問題がある。

【0007】また、EEPROMのメモリセルの中の記



憶用MISFETの情報のき込み及び消去は、薄いトンネル絶縁膜に高電圧を印加してそのトンネル絶縁膜の中を流れるトンネル電流によって行うので、前記薄いトンネル絶縁膜の信頼性が問題となり、EEPROMの大容量化を図ることが難しいという問題があった。

【0008】本発明の目的は、1チップマイクロコンピュータからなる半導体集積回路装置が備えているROMの自由度を高めることにより、その半導体集積回路装置の機能を向上することが可能な技術を提供することにある。

【0009】本発明の他の目的は、EPROMとEEPROMを備えたマイクロコンピュータからなる半導体集積回路装置の製造工程を低減することができる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、一つの半導体チップ上に中央処理装置と、その中央処理装置のプログラムデータや辞書データ等が記憶される不揮発性メモリとを備えたマイクロコンピュータを構成する半導体集積回路装置において、前記不揮発性メモリが、情報の書き込みを電気的に行い、その書き込んだ情報を紫外線の照射によって消去する第1の不揮発性メモリと、情報の書き込みを電気的に行い、その書き込んだ情報を電気的に消去する第2の不揮発性メモリとからなるものである。

【0011】また、半導体基板の第1領域にEPROMのメモリセルを形成し、前記半導体基板の前記第1領域と異なる第2領域にEEPROMのメモリセルの中の記憶用MISFETを形成し、前記半導体基板の前記第2領域に隣接した第3領域に前記EEPROMのメモリセルの中のスイッチMISFETを形成する工程を備えたマイクロコンピュータを構成する半導体集積回路装置の製造方法であって、前記半導体基板の第1、第2及び第3領域の表面にそれぞれ第1ゲート絶縁膜を形成する工程と、前記第2及び第3領域の前記第1ゲート絶縁膜の下に所定部分にソース、ドレインを形成する工程と、前記第1及び第2領域の第1ゲート絶縁膜の上にフローティングゲート電極を形成しかつ前記第3領域の第1ゲート絶縁膜の上にゲート電極を形成する工程と、前記第1領域及び第2領域のフローティングゲート電極の表面に第2ゲート絶縁膜を形成する工程と、前記第1及び第2領域の第2ゲート絶縁膜の上にそれぞれコントロールゲート電極を形成する工程と、前記第1領域の第1ゲート絶縁膜の下に所定部分にソース、ドレインを形成する工程を備え、前記各工程は前記の順序でなされるものである。

【0012】上述した手段によれば、大きな記憶容量を

必要とするプログラムデータや辞書データはEPROMで記憶し、フィードバック制御の制御データのようにデータの内容が時間と共に変化しかつ電源が遮断されたときにも記憶しておくことが必要な制御データはEEPROMで記憶するので、1チップマイクロコンピュータからなる半導体集積回路装置の機能を向上することができる。

【0013】また、1チップマイクロコンピュータからなる半導体集積回路装置上のEPROMのメモリセルを形成する工程と、EEPROMのメモリセルを形成する工程の一部を共用しているので、前記半導体集積回路装置の製造工程を低減することができる。

【0014】

【発明の実施の形態】以下、本発明の一実施の形態を図面を用いて説明する。図1は、本発明の一実施の形態の1チップマイクロコンピュータからなる半導体集積回路装置のブロック図である。

【0015】図1において、1はマイクロコンピュータが構成されている半導体チップであり、CPU（マイクロプロセッサ）100、OSC（発信器）101、I/O（入出力ポート）102、SI（シリアル・インターフェース）103、TIMER（タイマ）104、EPROM（イレイザブル&プログラマブル・リード・オンリー・メモリ）105、V<sub>CC</sub>（電圧制御回路）106、EEPROM（エレクトリカリー・イレイザブル&プログラマブル・リード・オンリー・メモリ）107、SRAM（スタティック・ランダム・アクセス・メモリ）108、DRAM（ダイナミック・ランダム・アクセス・メモリ）109、I/OBUS（入出力バス）110を備えている。CPU100は制御部、演算部及び種々のレジスタから構成されている。OSC101は、制限されるものではないが、半導体チップ1の外部に設けられる水晶振動子Xtalを利用して高精度の基準周波数信号を形成するものであり、ここで形成された基準周波数信号によりCPU100において必要とされるクロックパルスを形成する。I/O102はその内部にデータ転送方向レジスタを含んでいる。EPROM105、EEPROM107、SRAM108、DRAM109には記憶素子の情報の読み出しや書き込みあるいは消去動作に必要な制御回路が含まれている。V<sub>CC</sub>106は、EPROM105の書き込み動作やEEPROM107の書き込み消去動作に必要なワード線電圧あるいはデータ線電圧を制御するものである。SI103はシリアル・クロック、シリアル・イン、シリアル・アウトの3本の端子と所定ビットのレジスタから構成されており、複数のマイクロコンピュータを用いる場合のそれらマイクロコンピュータ間のデータ転送を行うための入出力ポートとして使用される。TIMER104は割り込み処理等の多重処理に必要な時間を設定するために用いられるものである。これらCPU100、I/O102

2、SI103、TIMER104、EPROM105、V<sub>CC</sub>106、EEPROM107、SRAM108、DRAM109は、CPU100を中心にI/OBUS110によって相互に接続されている。なお、I/OBUS110は、データバス、アドレスバス、制御バスの三つからなっている。

【0016】前記EPROM105は、各種情報処理のためのプログラムや辞書データ等が記憶される。そして、EPROM105には、前記プログラムや辞書データ等の中で比較的データの書き替え回数が少なく、また大容量を必要とするものの記憶に用いる。EEPROM107は、各種情報処理のためのプログラムや辞書データ等の記憶とともに、時間と共に変化するフィードバック制御の制御データ、実行中のプログラムや演算途中のデータあるいはCPU100のレジスタ中のデータ等の中で、電源遮断時にも記憶させておくことが必要なデータの記憶にも用いられる。また、EEPROM107は、各種情報処理のためのプログラムや辞書データ等のEPROM105にも記憶させることができるデータの中で、データの書き替えが頻繁に行われ、またデータ容量の少ないデータの記憶に用いられる。

【0017】前記EPROM105の書き込み動作は、次の手順で行われる。すなわち、CPU100から出される各種の制御信号により、EPROM105を書き込み可能な動作状態にするとともに電圧制御回路(V<sub>CC</sub>)106を動作させ、外部から印加される書き込み電圧あるいはマイクロコンピュータの通常の動作のために印加される電圧により所定のワード線電圧あるいはデータ線電圧を発生させる。

【0018】次に、CPU100はI/O102を介して外部から直接EPROM105に入力されたデータあるいは一度RAM(SRAM108、DRAM109)を介して入力されたデータに基づき、EPROM105の所定のアドレスに所定のデータを書き込む。EPROM105への各種データの書き込みが終了した後、CPU100は、EPROM105の書き込み動作と電圧制御回路106の動作を終了させる。

【0019】次に、前記EEPROM107の書き込みおよび消去動作を説明する。EEPROM107の書き込みおよび消去動作は、CPU100から出される各種制御信号により、EEPROM106を書き込み乃至は消去可能な動作状態にするとともに、電圧制御回路106を動作させて外部から印加される書き込み電圧、消去電圧あるいはマイクロコンピュータの通常の動作のための電圧により所定のワード線電圧あるいはデータ線電圧を発生させる。次に、CPU100はI/O102を介して外部から直接EEPROM107に入力されたデータあるいは一度SRAM108やDRAM109を介して入力されたデータに基づいて、EEPROM107の所定のアドレスに所定のデータの書き込みあるいは消去

またはデータの書き替えを行う。このEEPROM107への各種データの書き込み、消去あるいはデータの書き替えが終了した後、CPU100はEEPROM107の書き込み乃至は消去動作を終了させる。

【0020】本実施の形態のマイクロコンピュータの通常の動作は、各種制御信号、EPROM105及びEEPROM107に記憶されているプログラムや辞書データを基に、I/O102に入力された各種データに所定の処理を施した後、そのデータをI/O102から外部へ出力する。ここで、I/O102に入力された各種データ、所定の処理が施されたデータあるいはCPU100のレジスタ中のデータの中で電源遮断時にも記憶しておくことが必要なデータ、すなわち電源遮断後の再動作時において必要となる前記各データは、前述したEEPROM107の動作手順に従って所定のアドレスに記憶させる。このEEPROM107への記憶は、各所の処理毎にその中間データをEEPROM107に記憶させながら行ってもよく、あるいは所定の処理が終了した後の最終のデータをEEPROM107に記憶させるようにしてもよい。

【0021】一方、本実施の形態のマイクロコンピュータは、事故によって異常な電源遮断が発生した場合には、再び動作を開始するときに必要となる各種データ、すなわちI/O102に入力される各種データ、所定の処理が施されたデータあるいはCPU100のレジスタ中のデータの中の所定のデータを前述したEEPROM107の操作手順に従って所定のアドレスに記憶させる。このように、本実施の形態のマイクロコンピュータは、電源遮断時にもEEPROM107の動作を正常に行うため、その動作に必要な電圧を供給する電源電圧バックアップ回路を有している。この電源電圧バックアップ回路は、特に制限されるものではないが、容量と制御回路とからなり本実施の形態のマイクロコンピュータと同一の半導体チップに構成されたものでもよく、あるいは本実施の形態のマイクロコンピュータを含み、電源を同一とする電子機器上に構成されたものであってもよい。

【0022】次に、図1と図3を用いて、前記EPROM105の回路動作を説明する。図3は、本実施の形態のマイクロコンピュータに搭載されているEPROM105の回路の概略構成を示した等価回路図である。

【0023】本実施の形態のマイクロコンピュータのEPROM105は、電源電圧V<sub>CC</sub>例えば5Vのような論理電圧系と、書き込み電圧V<sub>PP</sub>あるいは書き込み電圧V<sub>PP</sub>を電圧制御回路106で昇圧又は降圧して得た十数Vの高い電圧V<sub>CC</sub>からなる書き込み用電圧系を動作電源としている。通常の読み出し動作時は、論理電圧系によって動作する。

【0024】EPROM105はアドレス入力端子X<sub>0</sub>乃至X<sub>i</sub>およびY<sub>0</sub>乃至Y<sub>j</sub>を介して供給されるアド

7

レス信号と、制御端子CE、OE、PGMを介して供給されるチップイネーブル信号、出力イネーブル信号、プログラム信号によってその動作が制御される。これらの制御信号はCPU100からの制御により図示されていないEPROM105内の制御回路により中継され、あるいは形成される。

【0025】本実施の形態におけるEPROM105は8ビット単位でメモリセルの読み出しあるいは書き込み動作を行う。メモリセルアレイM-ARYは、電気的に書き込みを行い、紫外線の照射により消去する複数のMISFET $Q_{m1}$ 乃至 $Q_{m4}$ と、ワード線W0乃至W1を含む複数のワード線と、データ線D0乃至D1を含む複数のデータ線により構成される。メモリセルアレイM-ARYにおいて、同じ行に配置されたMISFET $Q_{m1}$ 、 $Q_{m2}$ 乃至 $Q_{m3}$ 、 $Q_{m4}$ のドレインはそれぞれ対応するデータ線D0、D1に接続される。アドレス端子X0乃至XiおよびY0乃至Yjを介してCPU100から供給されるXアドレス信号およびYアドレス信号はXアドレスバッファXADBおよびYアドレスバッファYADBに入力される。アドレスバッファXADB、YADBは制御回路CONTによって形成されるタイミング信号ceによって動作し、CPU100から供給されるアドレス信号を取り込み、それと同相および逆相の内部アドレス信号からなる相補アドレス信号を形成し、XアドレスデコーダXDCRおよびYアドレスデコーダYDCRに供給する。

【0026】前記XアドレスデコーダXDCRはXアドレスバッファXADBにより供給される相補アドレス信号に従い、メモリセルアレイM-ARYのワード線を選択するための選択信号を供給する。XアドレスデコーダXDCRにより形成されるワード線選択信号の電圧レベルは、電圧制御回路106から供給される電圧 $V_{\alpha}$ により決定される。通常の読み出し動作時は論理電圧系である電源電圧Vccレベルに設定され、また書き込み動作時は書き込み用電圧系である $V_{\alpha}$ レベルに設定される。

【0027】YアドレスデコーダYDCRは、アドレスバッファYADBにより供給される相補アドレス信号により、メモリセルアレイM-ARYのデータ線を選択するための選択信号を形成する。YアドレスデコーダYDCRから出力される選択信号はYゲート回路YGATEのMISFET $Y_{n1}$ 、 $Y_{n2}$ 、 $Y_{n3}$ 、 $Y_{n4}$ のゲート電極に供給される。データ線の選択は、Yゲート回路YGATEのMISFET $Y_{n1}$ 、 $Y_{n2}$ により複数のデータ線群からなる第1の選択を行った後、MISFET $Y_{n3}$ 、 $Y_{n4}$ により前記データ線群から所定のデータ線を選択する第2の選択により行う。ここで、Yゲート回路YGATEを直列に接続した2つのMISFETで構成したことにより、各MISFETの負荷容量を低下させることができ、高速の読み出し動作が可能となる。また、通常の読み出し動作におけるデータ線の電圧レベルは、読み出

8

し中にMISFET $Q_{m1}$ 乃至 $Q_{m4}$ が誤書き込みされるのを防止するために、ワード線に供給される電源電圧Vccレベルよりも低いレベルに設定される。さらに具体的にはVccの20乃至40%のレベルに設定される。書き込み動作時は、書き込み用電圧系である $V_{\alpha}$ レベルに対応した所定の電圧に設定される。また、各々のデータ線D0、D1は共通データ線CDに結合されている。

【0028】データ出力回路DOBは、センスアンプ回路SAを介して共通データ線に結合される。センスアンプは、特に制限されるものではないが、本実施の形態ではカレントミラー方式のセンスアンプ回路が用いられている。また、データ出力回路DOBは、入出力端子DIO乃至DI7に結合されている。データ入力回路DIBは、入出力端子DIO乃至DI7に結合された入力バッファから構成されている。

【0029】EPROM105におけるデータの記憶は、メモリセルに用いられるMISFET $Q_{m1}$ 乃至 $Q_{m4}$ のしきい値電圧を通常の比較的低い電圧（論理“1”）か、フローティングゲート電極に対する電荷注入による書き込みにより比較的高い電圧（論理“0”）にするかによって行われる。

【0030】次に、図1と図4を用いて、前記EEPROM107の回路動作を説明する。図4は、本実施の形態のマイクロコンピュータに搭載されているEEPROM107の回路の概略構成を示した等価回路図である。

【0031】本実施の形態のマイクロコンピュータが搭載しているEEPROM107は、電源電圧Vcc例えば5Vのような論理電圧系と、書き込み乃至消去電圧Vppあるいは電圧制御回路106により電圧Vpp乃至は電圧Vccを昇圧あるいは降圧して得られた十数Vのような高いレベルの書き込み乃至消去電圧 $V_{\alpha}$ 系を動作電源としている。通常の読み出し動作は論理電圧系によって動作する。EEPROM107はアドレス入力端子X0乃至XiおよびY0乃至Yjを介して供給されるアドレス信号と、CPU100からの制御により図示されていないEEPROM107中のメモリ制御回路により制御され、あるいは形成される各種の制御信号によって、その動作が制御される。

【0032】本実施の形態におけるEEPROM107は、8ビット単位でメモリの読み出し、書き込みあるいは消去動作を行う。メモリアレイM-ARYは電気的に書き込みおよび消去を行う複数のメモリMISFET $Q_{m1}$ 乃至 $Q_{m4}$ と、前記メモリMISFET $Q_{m1}$ 乃至 $Q_{m4}$ の読み出し、書き込みおよび消去の動作を制御するスイッチMISFET $Q_{s1}$ 乃至 $Q_{s4}$ と、ワード線 $W_{n1}$ 乃至 $W_{n4}$ と $W_{n5}$ 乃至 $W_{n8}$ を含む複数のワード線と、データ線D0乃至D1を含む複数のデータ線により構成される。メモリアレイM-ARYにおいて、同じ行に配置されたメモリMISFET $Q_{m1}$ 、 $Q_{m2}$ 乃至 $Q_{m3}$ 、 $Q_{m4}$ のコントロールゲート電極はそれぞれ対応するワー

ド線 $W_{B1}$ 乃至 $W_{B2}$ に接続され、スイッチMISFET $Q_{S1}$ 、 $Q_{S2}$ 乃至 $Q_{S3}$ 、 $Q_{S4}$ のゲート電極はそれぞれ対応するワード線 $W_{B1}$ 乃至 $W_{B2}$ に接続され、同じ列に配置されたスイッチMISFET $Q_{S1}$ 、 $Q_{S2}$ 乃至 $Q_{S3}$ 、 $Q_{S4}$ のドレインはそれぞれ対応するデータ線 $D_0$ 乃至 $D_1$ に接続される。また、スイッチMISFET $Q_{S1}$ 乃至 $Q_{S4}$ のソースはメモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ に接続され、メモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ のソースは接地されている。

【0033】アドレス端子 $X_0$ 乃至 $X_1$ および $Y_0$ 乃至 $Y_1$ を介してCPU100から供給されるXアドレス信号およびYアドレス信号は、XおよびYアドレスバッファXYADBに入力される。アドレスバッファXYADBは、制御回路CONTによって形成されるタイミング信号に従って動作し、CPU100から供給されるアドレス信号を取り込み、それと同相および逆相の内部アドレス信号からなる相補アドレス信号を形成し、それをXアドレスデコーダXDCRおよびYアドレスデコーダYDCRに供給する。また、アドレスバッファXYADBはその内部にラッチ回路を備えており、ラッチ回路にアドレス信号を一時記憶することができる。

【0034】XアドレスデコーダXDCRは、アドレスバッファXYADBから供給される相補アドレス信号に従い、メモリアレイM-ARYの2種類のワード線を選択するための選択信号を形成する。

【0035】YアドレスデコーダYDCRは、アドレスバッファXYADBから供給される相補アドレス信号に従って、メモリアレイM-ARYのデータ線 $D_0$ 乃至 $D_1$ を選択するための選択信号を形成する。YアドレスデコーダYDCRから出される選択信号は、Yゲート回路YGATEに供給される。Yゲート回路YGATEは、特に制限されるものではないが、前記図3のYゲート回路YGATEと同じ方式である。

【0036】データ入出力回路IOBは、前記データ線と入出力端子 $D_{I0}$ 乃至 $D_{I7}$ に結合されている。また、データ入出力回路IOBはセンスアンプ回路、入出力バッファ回路および入力データの一時記憶用のラッチ回路から構成されている。

【0037】データラッチ回路及びプログラム回路DLは、入出力端子 $D_{I0}$ 乃至 $D_{I7}$ から供給される書き込み乃至消去データを一時記憶するとともに、その書き込み乃至消去データに基づいてメモリセルMISFET $Q_{M1}$ 乃至 $Q_{M4}$ の情報の書き込み乃至消去動作を行うためのものである。

【0038】本実施の形態のマイクロコンピュータのEEPROM107が前記のように種々のラッチ回路を備えていることにより、書き込み乃至消去動作時の誤書き込み乃至誤消去を防止することができる。

【0039】前記EEPROM107のメモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ は、後述するように、フローティ

ングゲート電極と、その下部のトンネル電流を流すことが可能なトンネル絶縁膜と、その下の半導体領域を備えている。そして、書き込み動作とは、フローティングゲート電極から電子を放出することによってメモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ のしきい値電圧をソース電圧より低くすることを言い、また消去動作とはフローティングゲート電極に電子を注入することによってメモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ のしきい値をソース電圧よりも高くすることを言う。これら書き込みにおける電子の放出及び消去における電子の注入は、トンネル絶縁膜を通して行われる。

【0040】次に、前記EEPROM107の情報の書き込みを行うときの回路動作を説明する。

【0041】まず、CPU100から出される各種制御信号によりEEPROM107を書き込み可能な動作状態にするとともに、書き込みを行うアドレスをアドレスバッファXYADBのラッチ回路に一時記憶する。また、データラッチ回路及びプログラム回路DLのラッチ回路に書き込みデータを一時記憶する。次に、書き込みを行うメモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ が結合されたスイッチMISFET $Q_{S1}$ 乃至 $Q_{S4}$ のワード線 $W_{B1}$ 乃至 $W_{B2}$ の電位を書き込みが可能な高い電圧にして、スイッチMISFET $Q_{S1}$ 乃至 $Q_{S4}$ を動作状態にする。このとき、メモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ に結合される全てのワード線 $W_{B1}$ 乃至 $W_{B2}$ は、ほぼ0Vの低い電圧にする。その後、書き込みを行うメモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ にスイッチMISFET $Q_{S1}$ 乃至 $Q_{S4}$ を介して結合されているデータ線 $D_0$ 乃至 $D_1$ に書き込み可能な高い電圧を印加する。

【0042】以上の回路動作により、メモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ のフローティングゲート電極の下に設けられているトンネル絶縁膜の下部の半導体領域の電位が、コントロールゲート電極に印加されている電位よりも高くなるので、このコントロールゲート電極よりさらに低い電位になっているフローティングゲート電極中の電子は、前記トンネル絶縁膜を介してその下の半導体領域中へ放出され書き込みがなされる。

【0043】次に、情報の消去を行うための回路動作を説明する。本実施の形態では、制御されるものではないが、ワード線毎に消去動作を行うようになっている。消去動作は、まず、CPU100から出される各種制御信号によりEEPROM107を消去可能な動作状態にして、ワード線 $W_{B1}$ 、 $W_{B2}$ 乃至 $W_{B3}$ 、 $W_{B4}$ を接地電圧に近い低い電圧レベルに設定する。このとき、制限されるものではないが、データ線 $D_0$ 、 $D_1$ の電圧も接地電圧に近い低い電圧レベルに設定するようにしている。次に、メモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ に結合されたワード線 $W_{B1}$ 、 $W_{B2}$ のうちで、消去すべきワード線 $W_{B1}$ 乃至 $W_{B2}$ を消去が可能な高い電圧レベルとする。これらのことを行うと、メモリMISFET $Q_{M1}$ 乃至 $Q_{M4}$ のコン

トロールゲート電極の電圧が、トンネル絶縁膜の下の半導体領域の電圧よりも高くなるので、その半導体領域中の電子がトンネル絶縁膜を介してフローティングゲート電極中に注入されて消去がなされる。

【0044】次に、情報の読み出しを行うための回路動作を説明する。読み出し動作は、まずメモリMISFET  $Q_{EP1}$  乃至  $Q_{EP4}$  に結合されたワード線  $W_{B1}$  乃至  $W_{E1}$  を常に接地電圧に近い非選択状態にして、スイッチMISFET  $Q_{S1}$  乃至  $Q_{S4}$  に結合されるワード線  $W_{B1}$  乃至  $W_{E1}$  とデータ線  $D_1$  乃至  $D_4$  を選択することにより、複数のメモリセルの中から特定のメモリセルを選択する。

【0045】この選択されたメモリセルのメモリMISFET ( $Q_{EP1}$  乃至  $Q_{EP4}$  のいずれか、以下、単に  $Q_{EP1}$  乃至  $Q_{EP4}$ ) のフローティングゲート電極中に電子が書き込まれていた場合には、前記のようにワード線  $W_{B1}$  乃至  $W_{E1}$  が低い電位になっているので、そのメモリMISFET  $Q_{EP1}$  乃至  $Q_{EP4}$  が非導通となり、これに対応した論理“0”がデータ線  $D_1$  乃至  $D_4$  に読み出される。

【0046】一方、前記選択されたメモリセルのメモリMISFET  $Q_{EP1}$  乃至  $Q_{EP4}$  のフローティングゲート電極中に電子が注入されていない場合には、そのメモリMISFET  $Q_{EP1}$  乃至  $Q_{EP4}$  が導通状態となり、これに対応して論理“1”がデータ線  $D_1$  乃至  $D_4$  に読み出される。

【0047】次に、図1に示したマイクロコンピュータが備えているSRAM108及びDRAM109について述べる。

【0048】前記SRAM108は、主として実行中のプログラムや演算途中のデータの中で、CPU100あるいはI/O102との間のデータの転送を高速で行う必要のあるデータの一時記憶回路として用いられる。

【0049】本実施の形態のマイクロコンピュータが備えているSRAM108のメモリセルは、図2に示したように、2個のPチャネルMISFET205、206と、4個のNチャネルMISFET203、204、207、208とで構成されている。

【0050】なお、図2は、図1に示した本発明の一実施の形態のマイクロコンピュータが備えているSRAM108のメモリセルの等価回路である。

【0051】なお、SRAM108のメモリセルは、2個の高抵抗の抵抗素子と4個のMISFETとで構成したものであってもよい。DRAM109は、主として実行中のプログラムや演算途中のデータの中で、CPU100あるいはI/O102との間のデータの転送を高速で行う必要がなく、また大容量のメモリを必要とするデータの一時記憶回路として用いられる。本実施の形態のDRAM109のメモリセルは、電荷を蓄積する容量部とこれを制御するスイッチMISFETとで構成されている。このように、本実施の形態のマイクロコンピュータ

の、RAMはSRAM108とDRAM109とで構成され、データ容量は小量であるが高速のデータ転送を必要とするデータの記憶にはSRAM108を用い、データの転送は高速で行う必要はないが容量の大きなデータの記憶にはDRAM109を用いる。前記SRAM108は、いわゆるキャッシュメモリとして動作し、CPU100との間で高速のデータ転送を行う。

【0052】本実施の形態におけるDRAM109は、基板1に回路の電気的動作の基準となる電位すなわち接地電位  $V_{ss}$  例えば0Vより低い負電位を印加して動作させることはしない。これは、基板1に前記のように接地電位  $V_{ss}$  より低い負電位を印加すると、通常、基板1を負電位にしないで動作させるEPROM105やEEPROM107等を構成するMISFETの特性が変化してしまうからである。ただし、基板1のDRAM109が構成されている領域が、EPROM105やEEPROM107等他のMISFETが構成されている領域と電気的に分離されている場合には、基板1に前記負電位を印加して動作させるようにしてもよい。すなわち、後述するように、DRAM109とその他のEEPROM107、EPROM105等とをそれぞれ別々のP型ウエル領域に設けるようにし、それらP型ウエル領域の間を電気的に分離するようにしてもよい。

【0053】DRAM109のリフレッシュ動作は、CPU100の制御により行う。また、DRAM109のワード線の電位は、論理系の電圧である  $V_{cc}$  よりも高い電位に設定して動作させる。この電圧は電圧制御回路106で発生させる。

【0054】次に、本実施の形態のマイクロコンピュータを構成しているそれぞれのMISFETの構造を図5、図6、図7を用いて説明する。

【0055】図5は、図1のマイクロコンピュータが備えているEPROM105を構成しているMISFETの断面図、図6は、図1のマイクロコンピュータが備えているEEPROM107を構成しているMISFETの断面図、図7は、図1のマイクロコンピュータが備えているCPU100やI/O102等を構成するMISFETの断面図である。

【0056】図5において、Q1はEPROM105のメモリセルを構成するMISFETであり、Q2は前記EPROM105のアドレスバッファやデコーダ等の周辺回路を構成するNチャネルMISFET、Q3は前記EPROM105のアドレスバッファやデコーダ等の周辺回路を構成するPチャネルMISFETである。EPROM105のメモリセルを構成するMISFET Q1は、p型単結晶シリコンからなる半導体基板1の主面部のp型ウエル領域3に設けられ、薄い酸化シリコン膜からなる第1ゲート絶縁膜6と、例えば多結晶シリコン膜からなるフローティングゲート電極7Aと、薄い酸化シリコン膜からなる第2ゲート絶縁膜8Aと、例えば

13

多結晶シリコン膜の上にタングステンシリサイド膜 ( $WSi_2$ ) を積層した2層膜からなるコントロールゲート電極9Aと、ソース、ドレインのチャネル領域側の部分を成すn型半導体領域11Aと、ソース、ドレインの前記n型半導体領域11A以外の部分を成すn+型半導体領域13Aとで構成されている。第1ゲート絶縁膜6の膜厚は例えば500Å程度であり、第2ゲート絶縁膜8Aは例えば350Å程度である。前記n型半導体領域11Aは、ホットキャリアの発生を増加させて情報の書き込み特性を向上させるためのものである。なお、コントロールゲート電極9Aはワード線でもある。フローティングゲート電極7Aの側面及びコントロールゲート電極9Aの側面と上面は、薄い酸化シリコン膜10で覆われている。そして、フローティングゲート電極7A及びコントロールゲート電極(ワード電極)9Aの側部には酸化シリコン膜からなるサイドウォール12が設けられている。そして、ワード線が延在している方向におけるメモリセルQ1同志の間は、酸化シリコン膜からなるフィールド絶縁膜4とその下のp型チャネルストップ領域5とで分離されている。情報の読み出し時におけるドレインの一部を成すn+型半導体領域13にはデータ線16Dが接続している。データ線16Dは、例えばアルミニウム膜、アルミニウムを主成分としてこれにシリコン、銅、パラジウム等を添加したもの、あるいはこれらの膜の下部にあるいは上部にシリサイド膜 ( $MoSi_2$ ,  $TaSi_2$ ,  $TiSi_2$ ,  $WSi_2$  等) を設けた多層膜からなっている。14は第1層目のパッシベーション膜であり、例えばCVDで形成した酸化シリコン膜、フォスフォシリケートガラス (PSG) 膜、ボロンドープDP SG (BPSG) 膜、プラズマCVD法による酸化シリコン膜あるいはこれらの積層膜で形成されている。15は接続孔である。17は第2層目のパッシベーション膜であり、プラズマCVD法で形成した酸化シリコン膜、回転塗布法で形成したスピン・オン・ガラス膜等からなっている。前記周辺回路を構成するNチャネルMISFETQ2は、ゲート絶縁膜6と、例えば多結晶シリコン膜からなるゲート電極7Bと、ソース、ドレインのチャネル領域側を成すn型半導体領域11Bと、ソース、ドレインの前記n型半導体領域11B以外の部分を成すn+型半導体領域13Bとで構成されている。前記n型半導体領域11Bは、ドレインの端部でのホットキャリアの発生を制御して、MISFETQ2の電気的特性が変化するのを防止するためのものである。ゲート電極7Bの側面及び上面は薄い酸化シリコン膜10によって覆われている。ドレイン側のn+型半導体領域13Bには接続孔15を通してアルミニウム膜からなる配線16が接続している。そして、このn+型半導体領域13は、ドレインの耐圧を向上させるため、サイドウォール12から所定距離だけ離して設けられている。前記周辺回路を構成するPチャネルMISFETQ3は、半導体

14

基板1の主面のn型ウエル領域2に設けられており、ゲート絶縁膜6と、例えば多結晶シリコン膜からなるゲート電極7Bと、ソース、ドレインのチャネル側の部分を成すp型半導体領域11Cと、ソース、ドレインの前記p型半導体領域11C以外の部分を成すp+型半導体領域13Cとで構成されている。配線17には接続孔18を通して配線19が接続されている。この配線19は前記配線17と同様の材料からなっている。なお、図示していないが、配線19の上にはPSG膜、プラズマCVD法による窒化シリコン膜等からなる最終パッシベーション膜が設けられる。

【0057】前記メモリセルQ1のフローティングゲート電極7Aと、NチャネルMISFETQ2のゲート電極7Bと、PチャネルMISFETQ3のゲート電極7Bは、同じ第1層目の導電膜からなっている。メモリセルQ2のゲート電極9Aは第2層目の導電膜からなっている。また、メモリセルQ1、NチャネルMISFETQ2、PチャネルMISFETQ3のそれぞれのゲート絶縁膜6の膜厚は、同じにされている。

【0058】図6において、Q4はEEPROM107のメモリセルの中のメモリMISFETQ<sub>m</sub>、乃至Q<sub>n</sub>を構成するNチャネルMISFET、Q5は前記EEPROM107のメモリセルの中のスイッチMISFETQ<sub>s</sub>、乃至Q<sub>n</sub>あるいはEEPROM107のアドレスバッファやデコード等の周辺回路を構成するNチャネルMISFET、Q6はEEPROM107の周辺回路を構成するPチャネルMISFETである。

【0059】前記NチャネルMISFETQ4は、500Å程度の薄い酸化シリコン膜からなる第1ゲート絶縁膜6と、1000~2000Å程度の厚さの酸化シリコン膜からなる絶縁膜21と、100Å程度の極めて薄い酸化シリコン膜からなるトンネル絶縁膜22と、例えば多結晶シリコン膜からなるフローティングゲート電極7Cと、350Å程度の薄い酸化シリコン膜からなる第2ゲート絶縁膜8Cと、ワード線と一体に形成されているコントロールゲート電極9Cと、ソース、ドレインとなるn型半導体領域20とで構成されている。フローティングゲート電極7Cの側面とコントロールゲート電極(ワード線)9Cの側面及び上面は、薄い酸化シリコン膜10が覆っている。絶縁膜21はフローティングゲート電極7Cの端部の電界を緩和して耐圧を向上させるためのものである。前記メモリセルのスイッチMISFETまたは周辺回路を構成するためのNチャネルMISFETQ5は、ゲート絶縁膜6と、絶縁膜21と、例えば多結晶シリコン膜からなるゲート電極7Bと、ソース、ドレインとなるn型半導体領域20とで構成されている。ゲート電極7Bの側面及び上面は絶縁膜10で覆われている。このNチャネルMISFETQ5のドレインとなるn型半導体領域20には、接続孔15を通して配線16Dが接続されている。配線16Dは、メモリセル

においてはデータ線であり、周辺回路においてはMISFET間を継ぐ信号配線である。前記周辺回路を構成するPチャネルMISFETQ6は、ゲート絶縁膜6と、ゲート電極7Bと、ソース、ドレインのチャネル領域側の部分を成すp型半導体領域11Cと、ソース、ドレインの前記p型半導体領域11C以外の部分を成すp+型半導体領域13Cとで構成されている。ゲート電極7Bの側面及び上面は絶縁膜10が覆っている。ソース領域の一部を成すp+型半導体領域13Cには接続孔15を通して配線16が接続されている。そして、このp+型半導体領域13Cは、ソース領域の耐圧を向上させるため、サイドウォール12から所定距離だけ離して設けてある。

【0060】なお、メモリセルのNチャネルMISFETQ4及びスイッチ素子を成すNチャネルMISFETQ5の上を第2層目のアルミニウム膜からなる配線19が覆っている。すなわち、メモリセルアレイ領域は、全て配線19で覆われている。これは、EPROM105に記憶されたデータを紫外線を照射して消去するとき、EEPROM107に記憶されたデータがその紫外線で消去されてしまうのを防止するためである。

【0061】なお、記憶素子Q4のフローティングゲート電極7Cと、MISFETQ5、Q6のゲート電極7Bは、前記EPROM105のメモリセルQ1のフローティングゲート電極7A及びMISFETQ2、Q3のゲート電極7Bと同じ第1層目の導電膜で形成されている。EEPROM107のメモリMISFETQ4のコントロールゲート電極9Cは、EPROM105のコントロールゲート電極9Aと同じ第2層目の導電膜からなっている。

【0062】図7において、Q7はCPU100を構成するためのNチャネルMISFET、Q8はI/O102やSI（シリアルインターフェイス）103を構成するNチャネルMISFET、Q9はCPU100を構成するためのPチャネルMISFETである。前記NチャネルMISFETQ7は、250Å程度の薄い酸化シリコン膜からなるゲート絶縁膜8Dと、ゲート電極9Dと、ソース、ドレインのチャネル領域側の部分を成すn型半導体領域11Bと、ソース、ドレインの前記n型半導体領域11B以外の部分を成すn+型半導体領域13Bとで構成されている。前記NチャネルMISFETQ8は、ゲート絶縁膜8Dと、ゲート電極9Dと、ソース、ドレインのチャネル領域側の部分を成すn型半導体領域11Aと、ソース、ドレインの前記n型半導体領域11A以外の部分を成すn+型半導体領域13Bとで構成されている。n型半導体領域11Aは、ドレイン領域に異常な高電圧が印加されたときにMISFETQ8が破壊されるのを防ぐためのものである。前記PチャネルMISFETQ9は、ゲート絶縁膜8Dと、ゲート電極9Dと、ソース、ドレインのチャネル領域側の部分を

成すp型半導体領域11Cと、ソース、ドレインの前記p型半導体領域11C以外の部分を成すp+型半導体領域13Cとで構成されている。

【0063】なお、MISFETQ7、Q8、Q9のそれぞれのゲート電極9Dは、前記EPROM105のコントロールゲート電極9A及びEEPROM107のコントロールゲート電極9Cと同じ第2層目の導電膜からなっている。

【0064】また、図2に示したSRAM108のメモリセルを構成するNチャネルMISFET及びPチャネルMISFETは、図7に示したCPU（論理部）100を構成するNチャネルMISFETQ7及びPチャネルMISFETQ9と同様の構造になっている。

【0065】次に、前記MISFETQ1、Q2、Q3、Q4、Q5、Q6、Q7、Q8、Q9のそれぞれの製造方法を図5、図6、図7、乃至図56、図57、図58を用いて説明する。

【0066】図5、図6、図7乃至図56、図57、図58は、本発明の一実施の形態のマイクロコンピュータのEPROM105、EEPROM107及びCPU100等を構成するMISFETの製造工程における断面図であり、図5乃至図56がEPROM105のメモリセル及びその周辺回路を構成するMISFETが設けられる領域の断面図、図6乃至図57がEEPROM107のメモリセル及びその周辺回路を構成するMISFETが設けられる領域の断面図、図7乃至図58がCPU100とI/O102を構成するMISFETが設けられる領域の断面図である。

【0067】なお、図2に示したSRAMのメモリセルを構成するPチャネルMISFET及びNチャネルMISFETは、図7に示した論理部を構成するNチャネルMISFETQ7及びPチャネルMISFETQ9と同様の製造方法で形成されるので説明を省略する。

【0068】本実施の形態のマイクロコンピュータのEPROM105、EEPROM107、CPU100及びI/O102を構成するMISFETの製造方法は、図8乃至図10に示すように、p型半導体基板（チップ）1の主面部のそれぞれの所定の領域にイオン注入とアニールを行ってn型ウエル領域2又はp型ウエル領域3を形成する。50は前記イオン注入を行うときにバッファ膜として使用した薄い酸化シリコン膜である。

【0069】次に、図11乃至図13に示すように、周知の技術を使って、n型ウエル領域2及びp型ウエル領域3のそれぞれの所定領域を熱酸化してフィールド絶縁膜4を形成し、またp型ウエル領域3にpチャネルストッパ領域5を形成する。51はフィールド絶縁膜4を形成するときに熱酸化のマスクとして使用した窒化シリコン膜である。次に、窒化シリコン膜51を取り除き、さらに下地膜として使用した酸化シリコン膜50を除去してn型ウエル領域2及びp型ウエル領域3の

フィールド絶縁膜 4 で覆われていない部分を露出させた後、その露出した表面を再び熱酸化して、図 14 乃至図 16 に示すようにゲート絶縁膜 6 を形成する。

【0070】次に、図 15 に示した EEPROM 107 のメモリセル及びその周辺回路の N チャネル MISFET のソース、ドレインとなる n 型半導体領域 20 を形成するときのイオン注入のマスクとして、n 型ウエル領域 2 及び p 型ウエル領域 3 の上にレジスト膜 52 を形成する。次に、n 型不純物、例えばヒ素 (As) イオンを  $10^{14} \sim 10^{16}$  atoms/cm<sup>2</sup> 程度導入して n 型半導体領域 20 を形成する。この後、レジスト膜 52 を除去する。

【0071】次に、図 17 乃至図 19 に示すように、熱酸化して前記 n 型半導体領域 20 の上部に絶縁膜 (SiO<sub>2</sub>) 21 を形成する。絶縁膜 21 は下部に高濃度層の n 型半導体領域 20 があるので、厚い絶縁膜が得られる。このときゲート絶縁膜 6 の膜厚は、500 Å 程度になるように前記酸化膜厚を設定しておく。絶縁膜 21 の膜厚は、1000 ~ 2000 Å 程度である。あるいは前記ゲート絶縁膜 6 を除去した後、1 度の熱酸化により 500 Å 程度のゲート絶縁膜と 1000 ~ 2000 Å 程度の n 型半導体領域 20 の上部の絶縁膜を同時に形成してもよい。次に、EEPROM 107 のメモリ MISFET Q4 のトンネル絶縁膜 22 が設けられる部分の絶縁膜 21 をエッチングするために、図 20 乃至図 22 に示すように、マスクとしてのレジスト膜 54 を形成する。

【0072】次に、図 21 に示したように、絶縁膜 21 のトンネル絶縁膜 22 が形成される部分をエッチングして n 型半導体領域 20 の表面を露出させる。この後、レジスト膜 54 を除去する。次に、先の工程で絶縁膜 21 が除去されたことによって露出した n 型半導体領域 20 の表面を熱酸化して、酸化シリコン膜からなるトンネル絶縁膜 22 を形成する。トンネル絶縁膜 22 の膜厚は、100 Å 程度である。

【0073】次に、EPROM 105 のメモリセル Q1 のフローティングゲート電極 7A、周辺回路の MISFET Q2、Q3 のゲート電極 7B 及び EEPROM 107 のメモリセルのメモリ MISFET Q4 のフローティングゲート電極 7C、前記メモリセルのスイッチ MISFET 及び周辺回路の MISFET Q5 のゲート電極 7B を形成するために、図 23 乃至図 25 に示すように、例えば CVD で n 型ウエル領域 2 及び p 型ウエル領域 3 の上部に多結晶シリコン膜 7 を形成する。この多結晶シリコン膜 7 には熱拡散やイオン注入等で n 型不純物、例えばリン (P) を導入して低抵抗化を図る。

【0074】次に、図 26 乃至図 28 に示すように、前記多結晶シリコン膜 7 をパターンニングして、EPROM 105 のメモリセル Q1 のフローティングゲート電極 7A、周辺回路のゲート電極 7B、EEPROM 107 のメモリ MISFET Q4 のフローティングゲート電極 7

C、EEPROM 107 のメモリセルのスイッチ MISFET 及び周辺回路の MISFET Q5、Q6 のゲート電極 7B をそれぞれ形成する。CPU 100 及び I/O 102 を構成する MISFET Q7、Q8、Q9 のゲート電極は、後に形成される第 2 層目の導電膜で形成するので、これら MISFET Q7 ~ Q9 を形成するための領域では第 1 層目の多結晶シリコン膜 7 が除去されてしまっていない。

【0075】ここで、図 26 に示した EPROM 105 のメモリセル Q1 のフローティングゲート電極 7A は、データ線が延在する方向においては、個々のメモリセルのフローティングゲート電極 7A ごとに分割されることなく、長く延在するパターンとなっている。しかし、ワード線が延在する方向においては隣接するメモリセルのフローティングゲート電極 7A ごとに切り離したパターンとなっている。これは、後にこの上にコントロールゲート電極 (ワード線) 9A を形成するときに、前記データ線が延在している方向に長く延在しているフローティングゲート電極 7A に 2 回目のパターンニングを施して所定のパターンにするためである。

【0076】一方、EEPROM 107 のメモリセルのメモリ MISFET Q4 のフローティングゲート電極 7C は個々のメモリセルごとに切り離されたパターンになっている。次に、図 29 乃至図 31 に示すように、EPROM 105 のフローティングゲート電極 7A 及び EEPROM 107 のフローティングゲート電極 7C の表面を熱酸化して第 2 ゲート絶縁膜 8A、8C を形成する。この第 2 ゲート絶縁膜 8A、8C を形成するときに、その他のゲート電極 7B の表面も熱酸化されて薄い酸化シリコン膜 8 が形成される。次に、CPU 100 領域及び I/O 102 領域以外の部分をレジスト膜 55 で覆った後、CPU 100 領域及び I/O 102 領域に形成されていた薄い酸化シリコン膜 (ゲート絶縁膜) 6 をエッチングして取り除く。

【0077】次に、図 32 乃至図 34 に示すように、先に酸化シリコン膜 6 をエッチングしたことによって露出した CPU 100 領域及び I/O 102 領域を熱酸化して、CPU 100 及び I/O 102 を構成するための MISFET のゲート絶縁膜 8D を形成する。このゲート絶縁膜 8D を形成するときにそれぞれのフローティングゲート電極 7A、7C 及びゲート電極 7B の表面が酸化されて、第 2 ゲート絶縁膜 8A、8C 及び酸化シリコン膜 8 の膜厚が増加する。

【0078】ここで、第 2 ゲート絶縁膜 8A、8C の膜厚は、最終的に 350 Å 程度になるようにする。また、ゲート絶縁膜 8D の膜厚は、CPU 100 や I/O 102 を構成する MISFET Q7 ~ Q9 にとって最適な膜厚にする。なお、EPROM 105 や EEPROM 107 のメモリセル及びそれらの周辺回路を構成する MISFET のゲート絶縁膜 6 と、CPU 100 や I/O 102



2を構成するMISFETのゲート絶縁膜8Dは、それらMISFETにとって最適な値にするので、ゲート絶縁膜6の方が厚く形成されることもあり、ゲート絶縁膜8Dの方が厚く形成されることもある。また、ゲート絶縁膜6とゲート絶縁膜8Dを同じ膜厚に形成することもある。

【0079】前記ゲート絶縁膜8Dを形成した後、半導体チップ1の上の全面に第2層目の導電膜9を形成する。この導電膜9は、例えばCVDで多結晶シリコン膜を形成し、この上にさらにスパッタでシリサイド膜を積層した2層膜からなっている。前記多結晶シリコン膜にはイオン注入や熱拡散でn型不純物例えばリン(P)を入れて低抵抗化を図る。

【0080】次に、図35乃至図36に示すように、レジスト膜72をマスクに導電膜9をパターンニングして、EEPROM107のメモリMISFETQ4のコントロールゲート電極(ワード線)9C、MISFETQ7、Q8、Q9のゲート電極9Dを形成する。

【0081】次に、図38乃至図40に示すように、レジスト膜73を形成する。この状態で、EPROM105のメモリセルQ1のコントロールゲート電極9A、第2ゲート絶縁膜8A、フローティングゲート電極7Aをエッチングして、図41乃至図43に示すように、データ線が延在する方向においても個々のメモリセルごとに分割されたフローティングゲート電極7Aを形成する。この後レジスト膜73を除去する。

【0082】次に、図44乃至図46に示すように、EPROM105とEEPROM107のそれぞれのコントロールゲート電極(ワード線)9A、9Dの表面を熱酸化して薄い酸化シリコン膜10を形成する。このとき、他のMISFETQ2、Q3、Q5、Q6、Q7、Q8、Q9のゲート電極7B、9Dの表面も酸化されて酸化シリコン膜10が形成される。EPROM105のメモリセルQ1の領域と、I/O102のMISFETQ8の領域の部分を開口したレジスト膜56を形成し、イオン注入によってp型ウェル領域3へn型不純物例えばヒ素(As)を導入して、メモリセルQ1とNチャネルMISFETQ8のソース、ドレインの一部となるn型半導体領域11Aを形成する。このとき導入される不純物イオンのドーズ量は、例えば $10^{15}$  atoms/cm<sup>2</sup>である。

【0083】この後、レジスト膜56を除去し、図47乃至図49に示すように、EPROM105の周辺回路を構成するためのNチャネルMISFETQ2が設けられる領域と、CPU100を構成するためのNチャネルMISFETQ7が設けられる領域とを開口したレジスト膜57を形成する。そして、イオン注入によってn型不純物例えばリン(P)を導入して、前記NチャネルMISFETQ2、Q7のソース、ドレインの一部となるn型半導体領域11Bを形成する。このとき導入され

る不純物イオンのドーズ量は、例えば $10^{15}$  atoms/cm<sup>2</sup>である。この後、レジスト膜57を除去する。

【0084】次に、図50乃至図52に示すように、EPROM105、EEPROM107のそれぞれの周辺回路を構成するためのPチャネルMISFETQ3、Q6が設けられる領域と、CPU100を構成するためのPチャネルMISFETQ9が設けられる領域とを開口したレジスト膜58を形成する。そして、イオン注入によってp型不純物例えばボロン(B)を導入して、前記PチャネルMISFETQ3、Q6、Q9のソース、ドレインの一部となるp型半導体領域11Cを形成する。このときの不純物イオンのドーズ量は、例えば $10^{15}$  atoms/cm<sup>2</sup>程度である。この後、レジスト膜58を除去する。

【0085】次に、図53乃至図55に示すように、それぞれのゲート電極7A、9A、7B、7C、9C及び9Dの側部に、例えばCVDと反応性イオンエッチングを使って酸化シリコン膜からなるサイドウォール12を形成する。次に、PチャネルMISFETQ3、Q9と、EEPROM107のメモリセル及びそれらの周辺回路を構成するためのNチャネルMISFETが設けられる領域をレジスト膜59で覆う。また、EPROM105の周辺回路のNチャネルMISFETQ2のドレインの耐圧を高めるため、その高濃度部分をサイドウォール12及びフィールド絶縁膜4から所定の距離だけ離すために、レジスト膜59を形成する。そして、イオン注入でn型不純物例えばヒ素(As)を導入してn型半導体領域13A、13Bを形成する。この後、レジスト膜59を除去する。

【0086】次に、図56乃至図58に示すように、それぞれのNチャネルMISFETQ1、Q2、Q4、Q5、Q7、Q8の上をレジスト膜60で覆い、またEEPROM107の周辺回路のPチャネルMISFETQ6のドレインの耐圧を高めるため、その高濃度の部分をサイドウォール12及びフィールド絶縁膜4から所定の距離だけ離すためにレジスト膜60を形成する。そして、イオン注入でp型不純物例えばボロン(B)を導入して、それぞれのp型半導体領域13を形成する。この後、レジスト膜60を除去する。この後、図5乃至図7に示すように、パッシベーション膜14を例えばCVDによる酸化シリコン膜、PSG膜、BPSG膜スパッタによる酸化シリコン膜あるいはこれらの積層膜を使って形成する。

【0087】次に、パッシベーション膜14を選択的に除去して接続孔15を形成し、この後接続孔15の部分の段差を緩和するため例えば900℃程度の温度でアニールしてパッシベーション膜14のガラスフローを行う。次に、パッシベーション膜14の上に、例えばスパッタ法、CVD法あるいは蒸着法でアルミニウム膜、アルミニウムを主成分としてこれにシリコンや銅、あるいは

はパラジウム等を添加したアルミ合金膜を形成し、または、さらにこれらの膜の上部にシリサイド膜 ( $\text{MoSi}_2$ ,  $\text{TaSi}_2$ ,  $\text{TiSi}_2$ ,  $\text{WSi}_2$ ) を形成した後、これらの膜をパターニングして配線 16、データ線 16D を形成する。なお、前記シリサイド膜は、前記アルミニウム膜又はアルミ合金膜を形成する前にパッシベーション膜 14 の上に形成し、この上に前記アルミニウム膜等を形成するようにしてもよい。配線 16、16D を形成した後、例えば下から順にプラズマ CVD による酸化シリコン膜、回転塗布法によるスピン・オン・グラス膜、10 プラズマ CVD による酸化シリコン膜を積層してパッシベーション膜 17 を形成する。次に、パッシベーション膜 17 を選択的に除去して接続孔 18 を形成する。接続孔 18 は、下部に融点の低いアルミニウム膜等からなる配線層 16、16D があるためグラスフローによって段差を緩和させることができないので、まず例えばウェットエッチングなど等方性のエッチングでパッシベーション膜 17 の膜厚の半分程度までエッチングし、次に異方性のドライエッチングで残りの半分以上をエッチングして形成する。次に、パッシベーション膜 17 の上に、前記配線 16、16D を形成した方法で配線 19 を形成する。次に、図示していないが、ファイナルパッシベーションとして、PSG 膜、窒化シリコン膜を形成する。

【0088】なお、図 29 乃至図 31 と図 32 乃至図 34 に示したように、CPU100 を構成するための MISFETQ7、Q9 と I/O102 を構成するための MISFETQ8 のゲート絶縁膜 8D は、まず EPROM105 の第 2 ゲート絶縁膜 8A 及び EEPROM107 の第 2 ゲート絶縁膜 8C を形成した後、前記 MISFETQ7、Q8、Q9 の領域に先に形成されていた薄い酸化シリコン膜 6 をエッチングして取り除き、この後専用の熱酸化工程で形成したが、前記 EPROM105 の第 2 ゲート絶縁膜 8A 及び EEPROM107 の第 2 ゲート絶縁膜 8C を形成する前に MISFETQ7、Q8、Q9 の領域の薄い酸化シリコン膜 6 をエッチングし、この後、前記 EPROM 及び EEPROM107 の第 2 ゲート絶縁膜 8A、8C を形成するときに同時に MISFETQ7、Q8、Q9 領域を酸化してゲート絶縁膜 8D を形成するようにしてもよい。

【0089】また、本実施の形態の製造方法は、図 14 乃至図 16 に示した EPROM105 のメモリセル Q1 の第 1 ゲート絶縁膜 6 と、EEPROM107 のメモリセルのメモリ MISFETQ4 の第 1 ゲート絶縁膜 6 とを同時に形成しているが、これらをそれぞれ別々の工程で形成するようにして、それらの膜厚を少し異ならせるようにしてもよい。

【0090】次に、図 1 に示した本実施の形態のマイクロコンピュータに設けられている DRAM のメモリセルの製造方法を説明する。

【0091】図 59 乃至図 62 は、図 1 に示した本実施

の形態のマイクロコンピュータに設けられている DRAM のメモリセルの製造工程における断面図である。

【0092】まず、図 59 を使って前記 RAM のメモリセルの断面構造を説明する。図 59 に示すように、DRAM のメモリセルは、p-型ウエル領域 3 に設けられている。そして、Q がメモリセルのスイッチ MISFET であり、C がメモリセルの容量素子である。スイッチ MISFETQ は、酸化シリコン膜からなるゲート絶縁膜 8D と、例えば多結晶シリコン膜の上にシリサイド膜 ( $\text{MoSi}_2$ ,  $\text{TaSi}_2$ ,  $\text{TiSi}_2$ ,  $\text{WSi}_2$ ) を積層して構成した 2 層膜からなるゲート電極 (ワード線) 9D、ソース、ドレインのチャネル領域側の部分を成す n-型半導体領域 11B、ソース、ドレインの前記 n-型半導体領域 11B 以外の部分を成す n+型半導体領域 13B とで構成されている。前記容量素子 C は、一方の電極となる n 型半導体領域 20 と、薄い酸化シリコン膜からなる誘電体膜 22 と、前記と異なる他方の電極であり例えば多結晶シリコン膜からなる導電プレート 7E とで構成されている。導電プレート 7E のスイッチ MISFETQ 側の端部には誘電体膜 22 より厚い酸化シリコン膜からなる絶縁膜 21 が設けてあり、導電プレート 7E の端部の電界を緩和するようになっている。導電プレート 7E の表面には酸化シリコン膜からなる絶縁膜 23 が設けてある。16D はデータ線であり、情報の読み出し時のドレインの n+型半導体領域 13B に接続されている。

【0093】次に、前記 DRAM のメモリセルの製造方法を図 60 乃至図 62 を使って説明する。図 60 に示すように、p-型半導体基板 1 の主面に p-型ウエル領域 3、フィールド絶縁膜 4、p 型チャネルストッパ領域 5 を形成した後、EPROM105 や EEPROM107 のメモリセル Q1、Q4 及び Q5 のゲート絶縁膜 6 を形成する工程 (図 14 乃至図 16) で DRAM のメモリセル領域に膜厚が 500 Å 程度の酸化シリコン膜 6 が形成される。ただし、この酸化シリコン膜 6 はスイッチ MISFETQ のゲート絶縁膜としては使用されない。この時点では、図 60 に示した n 型半導体領域 20、絶縁膜 21、22 は形成されていない。この後、EEPROM107 のメモリセル Q4 及び Q5 のソース、ドレインである n 型半導体領域 20 を形成する工程で、容量素子 C の一方の電極である n 型半導体領域 20 を形成する。

【0094】次に、EEPROM107 のメモリセルの絶縁膜 21 を形成する工程 (図 17 乃至図 19) で、容量素子 C が設けられる領域に、絶縁膜 21 を形成する。この時点では誘電体膜 22 が設けられる領域も絶縁膜 21 となっている。絶縁膜 21 の膜厚は、1000~2000 Å 程度である。次に、EEPROM107 のトンネル絶縁膜 22 が形成される部分の絶縁膜 21 をエッチングする工程 (図 20 乃至図 22) で、容量素子 C の誘電体膜 22 が設けられる部分の絶縁膜 21 を選択的に除去

する。次に、EEPROM107のトンネル絶縁膜22を形成する工程で、容量素子Cの誘電体膜22を形成する。次に、EPROM105及びEEPROM107のフローティングゲート電極7A、7C及びそれぞれ周辺回路のMISFETQ2、Q3、Q6のゲート電極7Bを形成する工程（図23乃至図28）で、図61に示すように、容量素子Cのプレート電極7Eを形成する。次に、導電プレート7Eの表面を熱酸化して酸化シリコン膜からなる絶縁膜23を形成する。なお、絶縁膜23は、CVD法による酸化シリコン膜で形成してもよく、あるいは熱酸化による酸化シリコン膜とCVDによる酸化シリコン膜の積層で構成してもよい。前記絶縁膜23を形成するとき、スイッチMISFETQが設けられる領域やCPU100、I/O102、EPROM105及びEEPROM107の周辺回路を構成するMISFETが設けられる領域の酸化シリコン膜6は、膜厚の厚い絶縁膜74となる。また、EPROM105やEEPROM107のメモリセルQ1、Q4のフローティングゲート電極及びそれらの周辺回路のゲート電極7Bの表面に厚い絶縁膜23が形成される。そこで、前記導電プレート7Eの表面に絶縁膜23を形成した後、例えばDRAM109の容量素子Cの部分にレジスト膜で覆い、スイッチMISFETQが設けられる領域やCPU100、I/O102、EPROM105及びEEPROM107の周辺回路を構成するMISFETが設けられる領域の厚い絶縁膜74と、EPROM105やEEPROM107のメモリセルQ1、Q4のフローティングゲート電極及びそれらの周辺回路のゲート電極7Bの表面に形成された厚い絶縁膜23をエッチングして取り除く。そして、前記レジスト膜を除去した後、EPROM105及びEEPROM107のフローティングゲート電極7A、7Cの表面を熱酸化して第2ゲート絶縁膜8A、8Cを形成する。

【0095】次に、図62に示すように、CPU100やI/O102の領域にゲート絶縁膜8Dを形成する工程（図32乃至図34）で、スイッチMISFETQが設けられる領域に酸化シリコン膜からなるゲート絶縁膜8Dを形成する。なお、このゲート絶縁膜8Dは、EPROM105及びEEPROM107のフローティングゲート電極7A、7Cの表面の第2ゲート絶縁膜8A、8Cを形成する工程と同時に形成するようにしてもよい。次に、EPROM105及びEEPROM107のコントロールゲート電極9A、9C、CPU100及びI/O102領域のゲート電極9Dを形成する工程（図32乃至図43）で、スイッチMISFETQのゲート電極9Dを形成する。次に、EPROM105及びEEPROM107のコントロールゲート電極9A、9Cの表面に絶縁膜10を形成するときに、スイッチMISFETQの前記ゲート電極9Dの表面に絶縁膜10が形成される。その後、酸化シリコン膜からなるサイドウォー

ル12を形成する。次に、EPROM105の周辺回路のNチャネルMISFETQ2及びCPU100領域のNチャネルMISFETQ7のn型半導体領域11Bを形成する工程（図47乃至図49）で、スイッチMISFETQのソース、ドレインのチャネル側を成すn型半導体領域11Bを形成する。次に、EPROM105及びEEPROM107のメモリセルQ1、Q4及びそれらの周辺回路のMISFETQ2、Q5、CPU100とI/O102領域のNチャネルMISFETQ7、Q8のソース、ドレインの一部であるn型半導体領域13A、13Bを形成する工程（図53乃至図55）で、スイッチMISFETQのソース、ドレインのn型半導体領域13Bを形成する。この後、パッシベーション膜14、接続孔15、データ線16D、パッシベーション膜17、配線19、図示していないファイナルパッシベーション膜を形成する。

【0096】以上、説明したように、EPROM105、EEPROM107を形成する工程でDRAM109を形成することができる。

【0097】次に、図1に示したマイクロコンピュータが備えている演算増幅器、アナログ/デジタル変換器、デジタル/アナログ変換器の中の容量素子と抵抗素子の構造を説明する。この抵抗素子と容量素子は、マイクロコンピュータがアナログ量の処理を行うときに使用される。

【0098】図63は、図1の示したマイクロコンピュータの中の演算増幅器、アナログ/デジタル変換器、デジタル/アナログ変換器が備えている容量素子と抵抗素子の断面図である。

【0099】図63において、Rはアナログ量の処理を行うときに使用される抵抗素子、Cはアナログ量の処理を行うときに使用される容量素子である。

【0100】前記抵抗素子Rは、フィールド絶縁膜4の上の第1層目の導電体（多結晶シリコン膜）からなる抵抗層7Gと、その両端に設けられた接続端子7Hとからなっている。接続端子7Hは不純物が高濃度に注入されて、アルミニウム等からなる配線16とオーミック接続ができるようになっている。また、抵抗層7Gの上には固定電位Vcc又はVssが印加される配線16が設けられている。n型ウェル領域2の電位は、Vcc又はVssに固定されている。前記容量素子Cは、フィールド絶縁膜4の上の第1層目の多結晶シリコン膜からなる第1電極7Fと、第1電極7Fの表面の誘電体膜8Fと、第1電極7Fの上に重ねて設けられた第2層目の導電膜からなる第2電極9Fとで構成されている。前記第2層目の導電膜は、例えば多結晶シリコン膜の上にシリサイド膜（ $\text{MoSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{TiSi}_2$ 、 $\text{WSi}_2$ ）を積層した2層膜からなっている。第1電極7F及び第2電極9Fは、不純物が高濃度に注入されて低抵抗化がなされている。そして、第1電極7F及び第2電

極 9 F のそれぞれに配線 1 6 が接続している。

【0101】次に、前記抵抗素子 R と容量素子 C の形成方法を説明する。図 6 4 乃至図 6 6 は、図 6 3 に示した抵抗素子と容量素子の製造工程における断面図である。

【0102】前記抵抗素子 R と容量素子 C の形成方法は、図 6 4 に示すように、フィールド絶縁膜 4 の上に例えば CVD で第 1 層目の多結晶シリコン膜 7 を形成する。この時点では多結晶シリコン膜 7 には低抵抗化のための不純物を導入していない。次に、多結晶シリコン膜 7 にイオン注入で不純物を導入するときのパuffa 膜として、例えば多結晶シリコン膜 7 の表面を熱酸化して酸化シリコン膜 6 1 を形成する。次に、イオン注入によって多結晶シリコン膜 7 にリン (P)、ボロン (B) あるいはヒ素 (As) 等のうち一種以上を例えば  $10^{11} \sim 10^{14}$  atoms/cm<sup>2</sup> 程度注入する。なお、このイオン注入を熱拡散で行う場合には、多結晶シリコン膜 7 の表面の酸化シリコン膜 6 1 を除去する。次に、抵抗層 7 G となる所定領域の上部に不純物注入マスク 6 2 を形成する。この不純物注入マスク 6 2 は、この後行う不純物注入をイオン注入によって行う場合にはレジスト膜で形成すべ  
よく、熱拡散で行う場合には CVD による酸化シリコン膜で形成すればよい。そして、多結晶シリコン膜 7 を EPROM 105、EEPROM 107 のメモリセル Q 1、Q 4 のフローティングゲート電極 7 A、7 C、それらの周辺回路の MISFET Q 2、Q 3、Q 5、Q 6 のゲート電極 7 B として使用し、また抵抗素子 R の接続端子 7 H、容量素子 C の第 1 電極 7 F として使用するの  
で、前記不純物注入マスク 6 2 を形成した後第 2 回目の不純物注入を行って多結晶シリコン膜 7 の低抵抗化を図る。なお、前記第 2 回目の不純物の注入を熱拡散で行う場合には、不純物注入マスク 6 2 で覆われていない部分の絶縁膜 6 1 を除去して多結晶シリコン膜 7 を露出させた後、熱拡散を行う。

【0103】次に、図 6 5 に示すように、レジスト膜 6 3 を使って多結晶シリコン膜 7 をパターンニングして、抵抗層 7 G、接続端子 7 H、容量素子 C の第 1 電極 7 F を形成する。このとき、EPROM 105、EEPROM 107 のメモリセル Q 1、Q 4 のフローティングゲート電極 7 A、7 C、それらの周辺回路の MISFET Q 2、Q 3、Q 5、Q 6 のゲート電極 7 B も形成される。次に、前記図 2 9、図 3 0、図 3 1 乃至図 4 4、図 4 5、図 4 6 と同様の工程により、図 6 6 に示すように、容量素子 C の誘電体膜 8 F、第 2 電極 9 F、抵抗素子 R および容量素子 C 第 1 電極 7 F、第 2 電極 9 F の表面を覆う薄い絶縁膜 10 を形成する。

【0104】なお、抵抗層 7 G に所定の抵抗値を持たせる方法として、前記のように第 1 回目の不純物注入で所定の不純物を低濃度注入するのに代えて、前記第 2 回目の不純物注入を行う前あるいは行った後に、その第 2 回目の不純物注入で導入した不純物と逆導電型の不純物を

注入してもよく、あるいは酸素や窒素等の絶縁物を所定量注入することにより抵抗層 7 G の抵抗値の調整を図るようにしてもよい。さらに、抵抗層 7 G は不純物を注入しない多結晶シリコン膜 7 (ただし、接続端子 7 H は不純物を注入して低抵抗化を図る。) のままであってもよく、又は抵抗層 7 G 以外の導電層 7 A、7 B、7 C、7 H、7 F と同様に高濃度の不純物を導入したものであってもよい。

【0105】以上、説明したように、抵抗素子 R と容量素子 C は、EPROM 105、EEPROM 107 を形成する工程を使って形成することができる。

【0106】次に、図 1 に示したマイクロコンピュータの I/O 102 の中の一つの I/O セルを図 6 7 に示す。

【0107】この図 6 7 に示した I/O セルは、蛍光表示管等を駆動させるのに用いるものである。蛍光表示管は例えば -40 ~ 0 V 程度の大きな電圧範囲で駆動するものであり、マイクロコンピュータの通常の動作範囲である 0 V から 5 V との間に大きな差がある。そこで、例えば、-40 V 程度の電圧は、ディプレッション型 P チャネル MISFET  $T_n$  によってマイクロコンピュータの通常の動作電圧  $V_{cc}$  レベルまで電圧変換した後、P チャネル MISFET  $T_n$  と N チャネル MISFET  $T_n$  からなるインバータに入力され、その後種々の処理が行われる。なお、図 7 に示した N チャネル MISFET Q 8 が、前記 N チャネル MISFET  $T_n$  に相当する。一方、マイクロコンピュータから蛍光表示管へ向けて出力されるデータは、P チャネル MISFET  $T_n$  と N チャネル MISFET  $T_n$  からなるインバータ回路を介して、ディプレッション型の P チャネル MISFET  $T_n$  と、エンハンスメント型の P チャネル MISFET  $T_n$  とからなるインバータ回路により電圧変換された後出力される。

【0108】次に、前記図 6 7 に示した P チャネル MISFET  $T_n$  の断面構造を図 6 8 に示す。図 6 8 に示すように、P チャネル MISFET  $T_n$  は、n 型ウエル領域 2 I に構成されている。この n 型ウエル領域 2 I は、n 型ウエル領域 2 より不純物濃度が低く、また接合深さが n 型ウエル領域 2 より深くなっている。そして、MISFET  $T_n$  は、酸化シリコン膜からなるゲート絶縁膜 6 と、例えば多結晶シリコン膜からなるゲート電極 7 I と、ソース、ドレインの一部となる p 型半導体領域 1 I I と、ソース、ドレインの前記 p 型半導体領域 1 I I 以外の部分を成す p 型半導体領域 1 3 C とで構成されている。p 型半導体領域 1 I I は、ゲート電極 7 I のないフィールド絶縁膜 4 の下部に設けられ、かつ前記 p 型半導体領域 1 3 C の周囲を囲んで設けられている。ゲート電極 7 I の端部は、フィールド絶縁膜 4 の上に延在されている。前記 n 型ウエル領域 2 I のフィールド絶縁膜 4 の下には、前記 p 型半導体領域 1

1 I から隔離させて n 型チャネルストップ領域 5 I を設けている。

【0109】次に、前記 P チャネル MISFET<sub>n</sub> の製造方法を図 69 乃至図 70 を用いて説明する。図 69 乃至図 70 は、0 ~ +40 V の範囲で動作する P チャネル MISFET<sub>n</sub> の製造工程における断面図である。

【0110】P チャネル MISFET<sub>n</sub> の製造方法は、図 69 に示すように、まず n ~ 型ウエル領域 2 I を形成するために、p ~ 型半導体基板 1 の表面を熱酸化して酸化シリコン膜 6 4 を形成する。次に、この上に耐熱酸化のマスクとして窒化シリコン膜 6 6 を形成し、これをイオン注入のマスクとして使ってイオン打込みを行って n ~ 型ウエル領域 2 I を形成する。次に、半導体基板 1 の表面の窒化シリコン膜 6 6 から露出している部分すなわち n ~ 型ウエル領域 2 I を熱酸化して、酸化シリコン膜 6 4 より少し厚い酸化シリコン膜 6 5 を形成する。

【0111】図 70 に示すように、窒化シリコン膜 6 6 を除去して、新たに窒化シリコン膜を形成し、n ~ 型ウエル領域 2 の形成領域の前記窒化シリコン膜を除去し、イオン注入を行って n ~ 型ウエル領域 2 を形成した後、その表面に熱酸化によって、酸化シリコン膜 6 5 を形成する。この後、窒化シリコン膜を除去し、次に、図 71 に示すように、酸化シリコン膜 6 4 と酸化シリコン膜 6 5 の膜厚差を利用して、半導体基板 1 の前記 n ~ 型ウエル領域 2 I と n ~ 型ウエル領域 2 以外の部分に p 型不純物を注入して p ~ 型ウエル領域 3 を形成する。次に、酸化シリコン膜 6 4、6 5 の上に、フィールド絶縁膜 4 を形成するときの熱酸化のマスクとして窒化シリコン膜 6 8 を形成する。次に、n 型チャネルストップ領域 5 I を形成するときのマスクとして、n ~ 型ウエル領域 2 I、

n ~ 型ウエル領域 2 及び p ~ 型ウエル領域 3 の上にレジスト膜を形成する。そして、n ~ 型ウエル領域 2 I の表面に n 型不純物をイオン注入して、n 型チャネルストップ領域 5 I を形成する。この後、レジスト膜 6 8 を除去する。

【0112】次に、図 72 に示すように、新たにレジスト膜 6 9 を形成し、このレジスト膜 6 9 と窒化シリコン膜 6 8 をマスクとして、n ~ 型ウエル領域 2 I の表面にイオン注入して p ~ 型半導体領域 1 I I を形成する。この後レジスト膜 6 9 を除去する。次に、図 73 に示すように、酸化シリコン膜 6 4 と酸化シリコン膜 6 5 の膜厚差を利用して、p ~ 型ウエル領域 3 の表面に p 型不純物をイオン注入して、p 型チャネルストップ領域 5 を形成する。この後、n ~ 型ウエル領域 2 I、n ~ 型ウエル領域 2 及び p ~ 型ウエル領域 3 の窒化シリコン膜 6 8 から露出している部分を熱酸化してフィールド絶縁膜 4 を形成する。この後、先に説明した図 5 乃至図 7 に示した EPROM 105 のメモリセル Q1、周辺回路の MISFET Q2、Q3、EEPROM 107 のメモリセルのメモリ MISFET Q4、そのメモリセルの中のスイッチ

MISFET または周辺回路を構成するための N チャネル MISFET Q5、周辺回路の P チャネル MISFET Q6 を形成する工程で、図 68 に示したゲート絶縁膜 6、ゲート電極 7 I、絶縁膜 10、サイドウォール 12、ソース、ドレインの一部を成す p+ 型半導体領域 13 C を形成する。さらに、第 1 層目のパッシベーション膜 14、接続孔 15、配線 16、第 2 層目のパッシベーション膜 17、接続孔 18、配線 19 及び図示していないファイナルパッシベーション膜を形成する。

【0113】なお、前記図 68 に示した P チャネル MISFET は、図 74 に示すように、ゲート絶縁膜 6 よりも厚いゲート絶縁膜 70 を使って構成してもよい。

【0114】図 74 は、図 68 に示した P チャネル MISFET のゲート絶縁膜 6 より厚いゲート絶縁膜 70 を用いた P チャネル MISFET 及び N チャネル MISFET の断面図である。

【0115】図 74 において、左側の n ~ 型ウエル領域 2 I に P チャネル MISFET が構成してある。この P チャネル MISFET のゲート絶縁膜 70 は酸化シリコン膜からなり、膜厚が 1000 Å ~ 2000 Å 程度と厚くなっている。p ~ 型ウエル領域 3 には 0 ~ +40 V の範囲で動作する N チャネル MISFET が構成されている。この N チャネル MISFET は、ゲート絶縁膜 70 と、例えば多結晶シリコン膜からなるゲート電極 7 J と、ソース、ドレインの一部を成す n 型半導体領域 5 I と、ソース、ドレインの前記 n 型半導体領域 5 I 以外の部分を成す n+ 型半導体領域 13 B とで構成されている。ゲート電極 7 J はフィールド絶縁膜 4 の上にも延在している。また、n 型半導体領域 5 I は、フィールド絶縁膜 4 の下に設けられ、n+ 型半導体領域 13 B を囲んで設けられている。また、n 型半導体領域 5 I と n ~ 型ウエル領域 2 I の間及び n 型半導体領域 5 I と p 型チャネルストップ領域 5 の間に、p 型チャネルストップ領域 5 より不純物濃度の高い p 型チャネルストップ領域 5 J が設けてある。

【0116】次に、前記図 74 に示した P チャネル MISFET 及び N チャネル MISFET の製造方法を図 75 を用いて説明する。図 75 は、図 74 に示した P チャネル MISFET 及び N チャネル MISFET の製造工程における断面図である。

【0117】図 75 に示した P チャネル MISFET 及び N チャネル MISFET は、前記図 69 乃至図 73 に示した工程とほぼ同様の工程で、p ~ 型半導体基板 1 に n ~ 型ウエル領域 2 I (及び 2)、p ~ 型ウエル領域 3、n 型半導体領域 5 I、p 型半導体領域 5 J、p ~ 型半導体領域 1 I I、p 型チャネルストップ領域 5、フィールド絶縁膜 4 を形成する。この後、フィールド絶縁膜 4 を形成するときの使用した熱酸化のマスクである窒化シリコン膜 6 8 (図 71) とその下の酸化シリコン膜 6 4、6 5 を除去して n ~ 型ウエル領域 2 I (及び 2)、

p型ウェル領域3のフィールド絶縁膜4で覆われていない部分の表面を露出させる。そして、その露出したn型ウェル領域2 I (及び2) とp型ウェル領域3の表面を熱酸化してゲート絶縁膜70を形成する。この後、図74に示したPチャネルMISFET及びNチャネルMISFETが設けられる領域以外のゲート絶縁膜70をレジスト膜を使ったエッチングで除去する。そして、そのレジスト膜を除去した後、再度n型ウェル領域2 I (及び2) とp型ウェル領域3の表面を熱酸化して、例えば0~5Vの範囲で動作するMISFETのゲート絶縁膜6を形成する。

【0118】この後、先に説明した図4乃至図7に示したEPROM105のメモリセルQ1、周辺回路のMISFETQ2、Q3、EEPROM107のメモリセルのメモリMISFETQ4、そのメモリセルの中のスイッチMISFETであるNチャネルMISFETQ5、周辺回路のPチャネルMISFETQ6を形成する工程で、ゲート電極7 I、7 J、絶縁膜10、サイドウォール12、NチャネルMISFETのソース、ドレインの一部であるn型半導体領域13 B、PチャネルMISFETのソース、ドレインの一部であるpt型半導体領域13 C、パッシベーション膜14、接続孔15、配線16、パッシベーション膜17、接続孔18、配線19及び図示していないファイナルパッシベーション膜を形成する。

【0119】なお、前記のように、本実施の形態のマイクロコンピュータは、EPROM105の周辺回路のMISFETQ2、Q3のゲート電極7 B、EEPROM107の周辺回路のMISFETQ5、Q6のゲート電極7 Bは、第1層目の多結晶シリコン膜を使って形成しているが、半導体集積回路装置の微細化に伴って前記第1層目の多結晶シリコン膜の膜厚が薄くされる。また、ゲート絶縁膜6やゲート電極7 Bの表面の酸化シリコン膜10の膜厚も薄くされる。このため、ソース、ドレインを形成するためのイオン注入時に、不純物イオンが前記酸化シリコン膜10、ゲート電極7、ゲート絶縁膜6を貫通してチャネル領域に漏れてしまうことがあり、MISFETQ2、Q3、Q5、Q6のしき値が所定の値からずれてしまうことがある。これを解決するには、前記第1層目の多結晶シリコン膜の上に例えばCVD等で厚い酸化シリコン膜を形成した後、その酸化シリコン膜及び多結晶シリコン膜をパターニングしてゲート電極7 Bを形成すれば、ゲート電極7 Bの上に厚い酸化シリコン膜があるので、前記イオン注入時におけるチャネル領域への不純物イオンの漏れを防止することができる。ところが、前述したように、第1層目の多結晶シリコン膜はEPROM105のメモリセルQ1のフローティングゲート電極7 AやEEPROM107のメモリセルのメモリMISFETQ4のフローティングゲート電極7 Cとして用いており、その上に薄い酸化シリコン膜から

なる第2ゲート絶縁膜8 A、8 Cを形成しなければならないので、前記のように、単に多結晶シリコン膜の上にCVD等で厚い酸化シリコン膜を形成することはできないという問題がある。

【0120】そこで、次に、ゲート電極7 Bが第1層目の多結晶シリコン膜からなるMISFETにおいて、チャネル領域に不純物イオンが漏れることなくソース、ドレインを形成することができる方法を説明する。

【0121】図76乃至図81は、ゲート電極を第1層目の導電膜例えば多結晶シリコン膜で形成し、しかもチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができるMISFETの製造方法を説明するための図である。なお、図76乃至図81において、Q1で示した領域がEPROM105のメモリセルが形成される領域であり、Q2で示した領域がEPROM105の周辺回路のNチャネルMISFETが形成される領域である。

【0122】チャネル領域に不純物イオンを漏らすことなくMISFETを形成する方法は、図76に示すように、第1層目の多結晶シリコン膜7を形成し、それに低抵抗を図るための所定の不純物を注入した後、例えばCVDで厚い酸化シリコン膜71を形成する。

【0123】次に、図77に示すように、EPROM105のメモリセルQ1を形成する領域の酸化シリコン膜71を、例えばレジスト膜をマスクとしてエッチングで除去する。レジスト膜は酸化シリコン膜71を選択的に除去した後取り除く。次に、図示していないレジスト膜をマスクとしたエッチングによって前記多結晶シリコン膜7をパターニングして、図78に示すように、EPROM105のメモリセルQ1のフローティングゲート電極7 Aと、MISFETQ2のゲート電極7 Bを形成する。レジスト膜からなるマスクは、パターニングの後取り除く。NチャネルMISFETQ2のゲート電極7 Bの上には厚い酸化シリコン膜71が乗っている。

【0124】次に、図79に示すように、フローティングゲート電極7 Aの表面を熱酸化して第2ゲート絶縁膜8 Aを形成する。次に、図80に示すように、半導体基板(チップ)1の上に第2層目の導電膜を形成し、これをパターニングしてEPROM105のコントロールゲート電極(ワード線)9 Aを形成する。次に、図81に示すように、メモリセルQ1のソース、ドレインの一部を成すn型半導体領域11 A、周辺回路のMISFETQ2のソース、ドレインの一部を成すn型半導体領域11 B、メモリセルQ1及び周辺回路のMISFETQ2のソース、ドレインの前記以外の部分を成すn型半導体領域13 A、13 Bを形成する。

【0125】このようにして、NチャネルMISFETQ2のソース、ドレインを形成すればゲート電極7 Bの上に厚い酸化シリコン膜71が乗っているので、ソース、ドレインを形成するための不純物がチャネル領域に

漏れるのを防止できる。

【0126】以上、説明したことから分かるように、本実施の形態によれば、以下の効果を得ることができる。

(1) 一つの半導体チップ上に中央処理装置と、その中央処理装置のプログラムデータや辞書データ等が記憶される不揮発性メモリとを備えたマイクロコンピュータを構成する半導体集積回路装置において、前記不揮発性メモリが、情報の書き込みを電気的に行い、その書き込んだ情報を紫外線の照射によって消去する第1の不揮発性メモリ (EPROM105) と、情報の書き込みを電気的に行い、その書き込んで情報を電気的に消去する第2の不揮発性メモリ (EEPROM107) とからなることにより、大容量でかつ書き替え可能なROMを得ることができ、またシステム上で電気的に書き替え可能なROMを得ることができる。

【0127】(2) 上記(1)から、書き替え回数は少ないが大容量を必要とするデータの記憶にはEPROM105を用い、書き替え回数は多いが小容量でよいデータの記憶あるいは電源遮断後も記憶しておくことが必要な演算データの記憶にはEEPROM107を用いることによって、EPROM105がシステム上で情報の書き替えができないという欠点と、EEPROM107のメモリ容量が小さいという欠点を互いに補った自由度の高いROMを備えたマイクロコンピュータからなる半導体集積回路装置を得ることができる。

【0128】すなわち、大きな記憶容量を必要とするプログラムデータや辞書データはEPROM105で記憶し、フィードバック制御の制御用データのようにデータの内容が時間と共に変化しかつ電源が遮断されたときにも記憶しておくことが必要な制御データはEEPROM107で記憶することができるので、1チップマイクロコンピュータからなる半導体集積回路装置の機能を向上することができる。

【0129】(3) 上記(1)のEEPROM107から不揮発性RAMを得ることができる。

(4) 1チップマイクロコンピュータの第1のRAMとしてSRAMを備えたので、高速でデータ転送を行うことができるRAMが得られる。

(5) 1チップマイクロコンピュータの第2のRAMとしてDRAMを備えたので、大容量のRAMを得ることができる。

(6) 上記(4)と(5)から、小容量でよいが高速でデータ転送を行うことが必要なデータの記憶にはSRAMを用い、高速のデータ転送を行う必要はないが大きな記憶容量を必要とするデータの記憶にはDRAMを用いることによって、SRAMが大容量化できないという欠点と、DRAMの転送速度が遅いという欠点を互いに補ったRAMを得ることができる。

【0130】(7) 半導体基板1の第1領域にEPROM105のメモリセルQ1を形成し、前記半導体基板1

の前記第1領域と異なる第2領域にEEPROM107のメモリセルの中のメモリMISFETQ4を形成し、前記半導体1の前記第2領域に隣接した第3領域に前記EEPROM107のメモリセルの中のスイッチMISFETQ5を形成する工程を備えたマイクロコンピュータを構成する半導体集積回路装置の製造方法において、前記半導体基板1の第1、第2及び第3領域の表面にそれぞれ第1ゲート絶縁膜6を形成する工程と、前記第2及び第3領域の前記第1ゲート絶縁膜6の下に所定部分にソース、ドレイン20を形成する工程と、前記第1及び第2領域の第1ゲート絶縁膜6の上にフローティングゲート電極7A、7Cを形成しかつ前記第3領域の第1ゲート絶縁膜6の上にゲート電極7Bを形成する工程と、前記第1領域及び第2領域のフローティングゲート電極7A、7Cの表面に第2ゲート絶縁膜8A、8Cを形成する工程と、前記第1及び第2領域の第2ゲート絶縁膜8A、8Cの上にそれぞれコントロールゲート電極9A、9Cを形成する工程と、前記第1領域の第1ゲート絶縁膜6の下に所定部分にソース、ドレイン11A、13Aを形成する工程を備え、前記各工程を前記の順序で行うことにより、EPROM105を形成する工程に、EEPROM107のソース、ドレインとなるn型半導体領域20を形成する工程と、n型半導体領域20の上にトンネル絶縁膜22を形成する工程を追加するだけでEEPROM107を形成することができる。

【0131】(8) EPROM105のメモリセルQ1のフローティングゲート電極7Aと、EEPROM107のメモリセルの中の記憶素子Q4のフローティングゲート電極7Cを第1層目の導電層(多結晶シリコン膜)で形成し、前記それぞれの素子Q1、Q4の第1ゲート絶縁膜6を同一工程で形成し、また前記それぞれの素子Q1、Q4のフローティングゲート電極7A、7Cの上の第2ゲート絶縁膜8A、8Cを同一工程で形成したことによって、少ない製造工程でEPROM105およびEEPROM107のそれぞれのメモリセルを得ることができる。

【0132】(9) EPROM105の周辺回路を構成するMISFETQ2、Q3及びEEPROM107の周辺回路を構成するMISFETQ5、Q6のゲート絶縁膜6を前記EPROM105のメモリセルQ1の第1ゲート絶縁膜6及びEEPROM107のメモリセルの中のメモリMISFETQ4の第1ゲート絶縁膜6と同じ工程で形成したので、それら周辺回路のMISFETQ2、Q3、Q5、Q6のゲート絶縁膜6の膜厚が厚くなり、絶縁耐圧を向上させることができる。

【0133】(10) CPU(論理部)100及びI/O102を構成するためのMISFETQ7~Q9のゲート絶縁膜8DをEPROM105のメモリセルQ1の第1ゲート絶縁膜6及びEEPROM107のメモリセルの中のメモリMISFETQ4の第1ゲート絶縁膜6

と別工程で形成するので、前記ゲート絶縁膜 8D とゲート絶縁膜 6 の膜厚の設定をそれぞれ独立に最適な値にすることができる。

【0134】(11) CPU (論理部) 100 及び I/O 102 を構成するための MISFET Q7~Q9 のゲート電極 9D を第 2 層目の導電層、すなわち例えば多結晶シリコン膜の上にシリサイド膜を積層した 2 層膜で形成したので、そのゲート電極 9D の低抵抗化が図れる。

【0135】(12) 上記 (8) 乃至 (11) のことから、周辺回路を含めた EPROM 105 及び EEPROM 107 の MISFET に印加される電圧と、CPU (論理部) 100 及び I/O 102 を構成するための MISFET に印加される電圧を独立に設定できるので、それぞれの素子の構造を独立に設定できる。

【0136】(13) DRAM 109 を EEPROM 107 の製造工程乃至はほぼ同一工程で形成できる。

(14) 上記 (12) のことから、DRAM 109 のメモリセルの容量素子 C の誘電体膜 22 が、EEPROM 107 のメモリセルのトンネル絶縁膜 22 と同様に非常に薄く形成されるので、その容量素子 C の容量値を大きくできる。

【0137】(15) 上記 (14) のことから大容量の DRAM を得ることができ、さらにこのことから大容量の RAM が得られる。

(16) アナログ回路を構成する抵抗素子 R を EPROM 105 のメモリセルあるいは EEPROM 107 のメモリセルの中のメモリ MISFET Q4 のフローティングゲート電極 7A、7C と同一工程あるいはほぼ同一工程で形成することができ、容量素子 C は EPROM 105 あるいは EEPROM 107 のメモリセルと同一工程で形成することができる。

【0138】(17) 抵抗素子 R と容量素子 C が絶縁膜 10 で覆われているので、回路の動作時に安定した抵抗値と容量値が得られる。

(18) 抵抗素子 R 及び容量素子 C の下のウエル領域を電気的に固定したので、回路の動作時に安定した抵抗値と容量値が得られる。

(19) 抵抗素子 R の上部を固定電位にされた導電層 19 で覆っているので、その導電層 19 の上に他の信号配線を延在させることができる。

(20) 上記 (16) 乃至 (19) より、1チップマイクロコンピュータのアナログ量の処理に必要な安定した抵抗素子 R と容量素子 C を容易に得ることができる。

【0139】(21) EPROM 105、EEPROM 107、DRAM 109 を形成する工程とほぼ同一工程で高耐圧 MISFET を形成できる。

(22) 高耐圧 MISFET のゲート電極 7I をフィールド絶縁膜 4 の上にまで延在させて端部がフィールド絶縁膜 4 の上に乗るようにしたことにより、ゲート電極 7I と半導体基板 1 との間の耐圧を向上することができ

る。

【0140】(23) 高耐圧 MISFET のソース、ドレインの一部である不純物濃度の高い半導体領域の囲りを不純物濃度の低い半導体領域で囲んだことにより、ソース、ドレインの耐圧を向上することができる。

(24) 上記 (21) 乃至 (23) のことから 1チップマイクロコンピュータの I/O 102 に使用する高耐圧 MISFET を容易に得ることができる。

【0141】以上、本発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

【0142】例えば、図 1 に示したマイクロコンピュータは、RAM として SRAM 108 と DRAM 109 を備えているが、SRAM 108 か又は DRAM 109 のいずれか一方のみでもよい。

【0143】

【発明の効果】本願によって開示された発明のうち、代表的なものの効果を簡単に説明すれば、以下のとおりである。書き替え回数は少ないが大容量を必要とするデータの記憶には EPROM を用い、書き替え回数は多いがデータ容量は小さいデータの記憶あるいは電源遮断後も記憶しておくことが必要な演算データの記憶には EPROM を用いることによって、EPROM が情報の書き替えをシステム上でできないという欠点と、EEPROM のメモリ容量が小さいという欠点を互いに補った自由度の高い ROM を備えた 1チップマイクロコンピュータを得ることができる。

【0144】すなわち、大きな記憶容量を必要とするプログラムデータや辞書データは EPROM で記憶し、フィードバック制御の制御用データのようにデータの内容が時間と共に変化し電源が遮断されたときも記憶しておくことが必要な制御用データは EEPROM で記憶するので、1チップマイクロコンピュータからなる半導体集積回路装置の機能を向上することができる。

【0145】また、EPROM を形成する工程に、EEPROM のソース、ドレインとなる n 型半導体領域 20 を形成する工程と、n 型半導体領域 20 の上の厚い絶縁膜 21 を形成する工程と、n 型半導体領域 20 の上にトンネル絶縁膜 22 を形成する工程を追加するだけで EEPROM を形成することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態である半導体集積回路装置のマイクロコンピュータを示すブロック図である。

【図 2】図 1 に示したマイクロコンピュータが備えている SRAM 108 のメモリセルの等価回路図である。

【図 3】前記マイクロコンピュータに搭載されている EPROM 105 の概略構成を示す等価回路図である。

【図 4】前記マイクロコンピュータに搭載されている EEPROM 107 の概略構成を示す等価回路図である。



【図22】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図23】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図24】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図25】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図26】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図27】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図27】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図28】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図29】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図30】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図31】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図32】前記マイクロコンピュータのEPROM、EEPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図33】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図34】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図35】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図36】前記マイクロコンピュータのEPROM、EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図37】前記マイクロコンピュータのEPROM、E

EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図38】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図39】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図40】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図41】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図42】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図43】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図44】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図45】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図46】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図47】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図48】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図49】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図50】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図51】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図52】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図53】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図54】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図55】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図56】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図57】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図58】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図59】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図60】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図61】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図62】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図63】前記マイクロコンピュータが備えている演算増幅器、アナログ／デジタル変換器、デジタル／アナログ変換器の中の容量素子と抵抗素子の断面図である。

【図64】図63に示す容量素子と抵抗素子の製造工程における断面図である。

【図65】図63に示す容量素子と抵抗素子の製造工程における断面図である。

【図66】図63に示す容量素子と抵抗素子の製造工程における断面図である。

【図67】図1に示すマイクロコンピュータのI/Oの中の一つのI/Oセルを示す等価回路図である。

【図68】図67に示すPチャネルMISFETの断面図である。

【図69】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図70】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図71】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図72】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図73】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図 7 4】図 6 8 に示す P チャンネル MISFET のゲート絶縁膜 6 より厚いゲート絶縁膜 7 0 を用いた P チャンネル MISFET 及び N チャンネル MISFET の断面図である。

【図 7 5】図 7 4 に示す P チャンネル MISFET 及び N チャンネル MISFET の製造工程における断面図である。

【図 7 6】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MISFET の製造方法を説明する断面図である。

【図 7 7】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MISFET の製造方法を説明する断面図である。

【図 7 8】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MISFET の製造方法を説明する断面図である。

【図 7 9】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MISFET の製造方法を説明する断面図である。

【図 8 0】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MIS

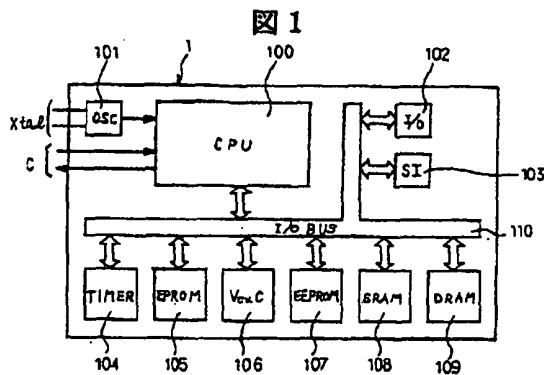
FET の製造方法を説明する断面図である。

【図 8 1】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MISFET の製造方法を説明する断面図である。

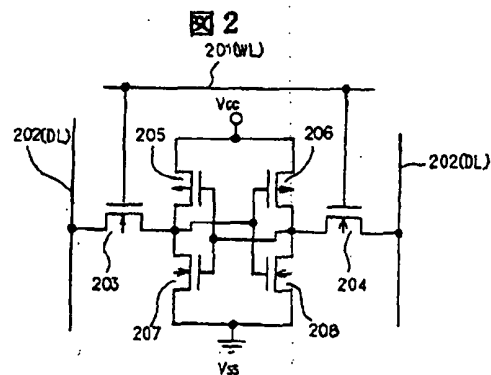
【符号の説明】

1…半導体チップ（マイクロコンピュータ）、100…CPU、101…OSC、102…I/O、103…SI、104…TIMER、105…EPROM、106…電圧制御回路、107…EEPROM、108…SRAM、109…DRAM、110…I/OBUS、Q1…EPROM のメモリセル、Q2、Q3…周辺回路の MISFET、Q4…EEPROM のメモリセルの中の記憶素子、Q5、Q6…EEPROM の周辺回路の MISFET、Q7、Q9…CPU の MISFET、Q8…MISFET、6…第 1 ゲート絶縁膜、7A、7B、7C…第 1 層目の導電膜からなるゲート電極、8A、8C…フローティングゲート電極の上の第 2 ゲート絶縁膜、8D…CPU 及び I/O 領域の第 1 ゲート絶縁膜、9A、9C、9D…第 2 層目の導電膜からなるゲート電極、10…薄い酸化シリコン膜、11A、11B、11C…ソース、ドレインの低濃度層、12…サイドウォール、13A、13B、13C…ソース、ドレインの高濃度層、20…EEPROM の n 型ソース、ドレイン、21…厚いゲート絶縁膜、22…トンネル絶縁膜。

【図 1】

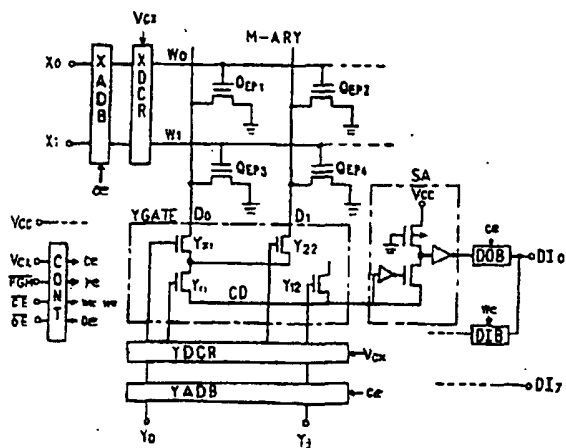


【図 2】



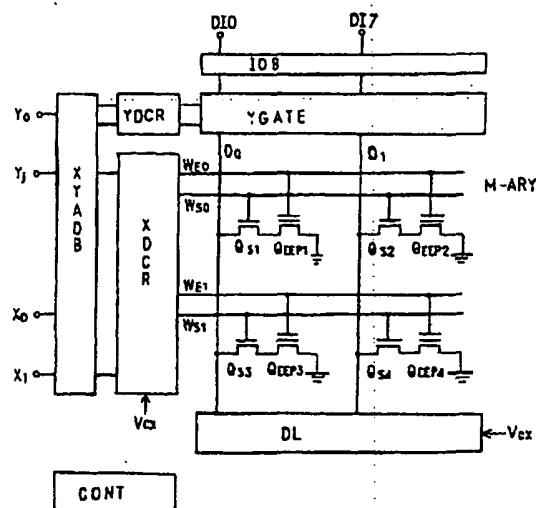
【图 3】

图 3



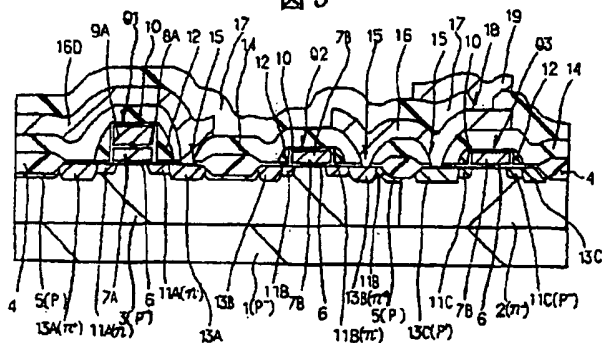
【图4】

图 4



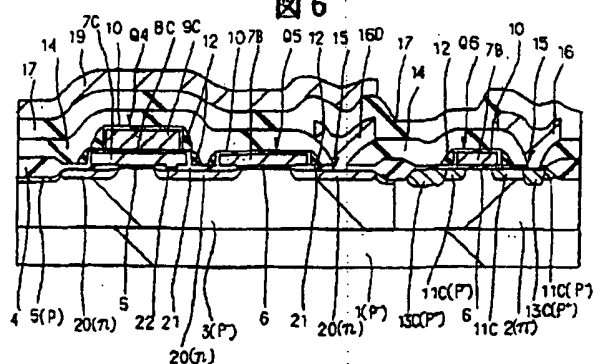
【图 5】

图 5



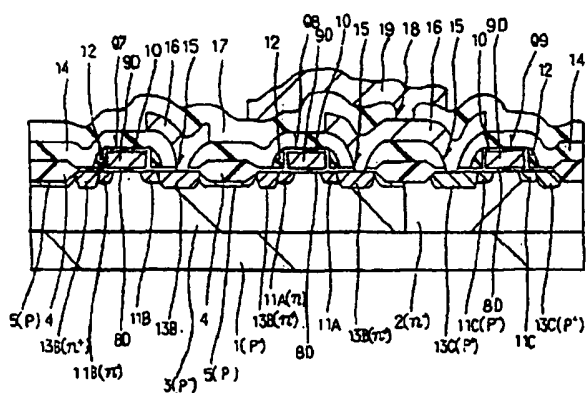
【圖 6】

**6**



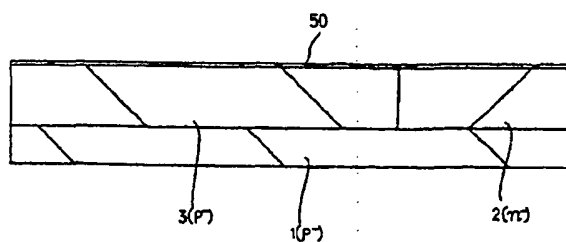
【圖 7】

图 7



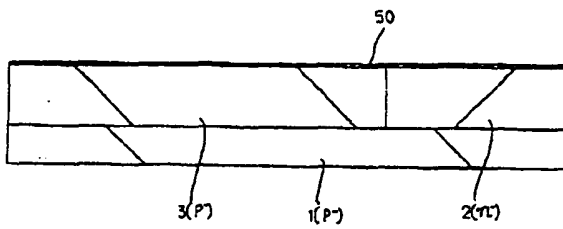
【图8】

**8**



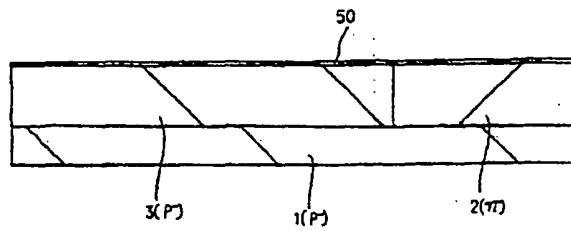
【図 9】

図 9



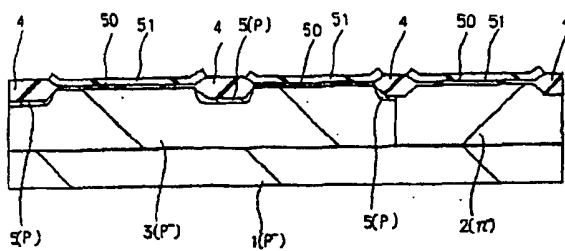
【図 10】

図 10



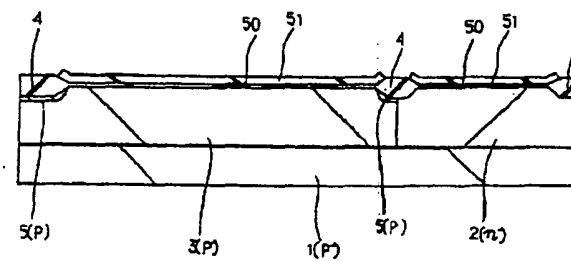
【図 11】

図 11



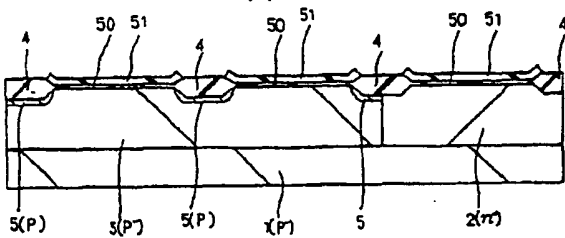
【図 12】

図 12



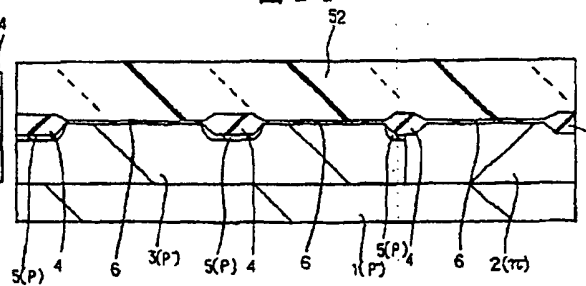
【図 13】

図 13



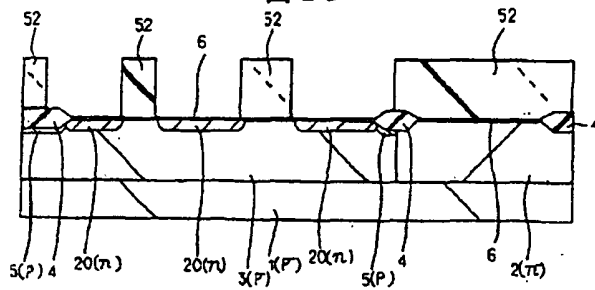
【図 14】

図 14



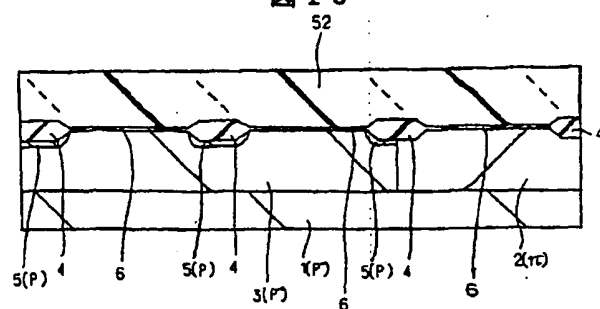
【図 15】

図 15



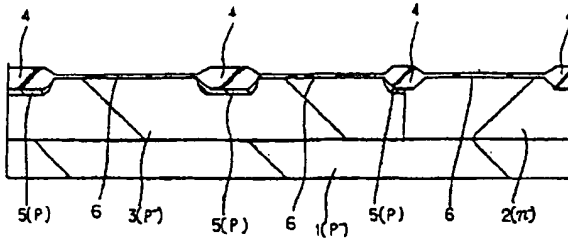
【図 16】

図 16



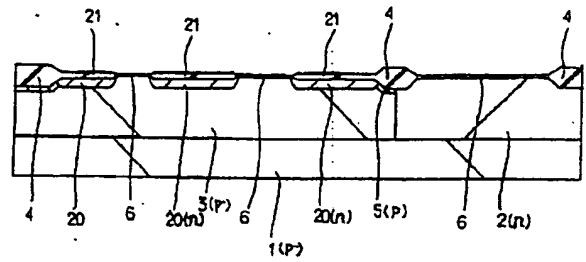
【図 17】

図 17



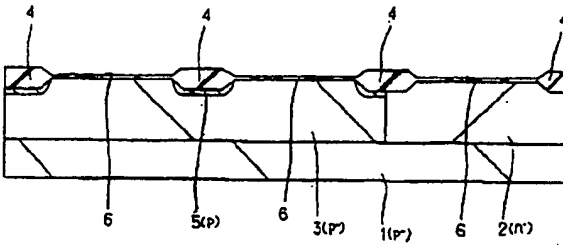
【図 18】

図 18



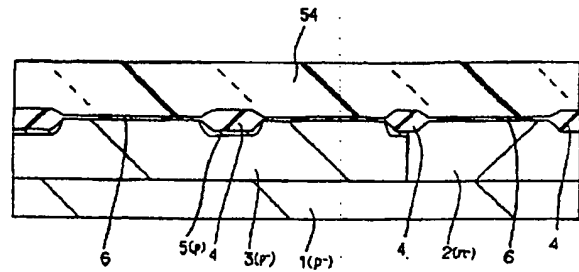
【図 19】

図 19



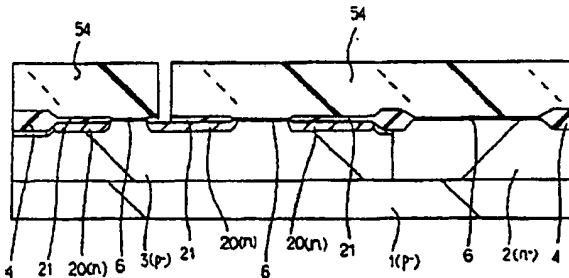
【図 20】

図 20



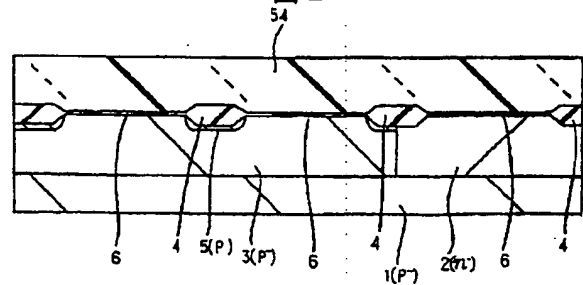
【図 21】

図 21



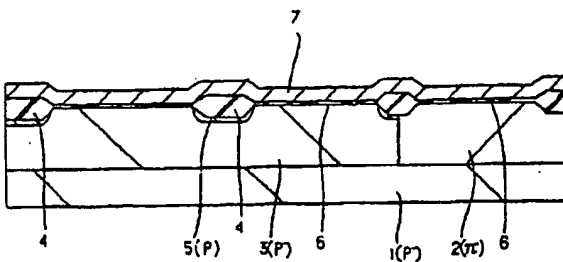
【図 22】

図 22



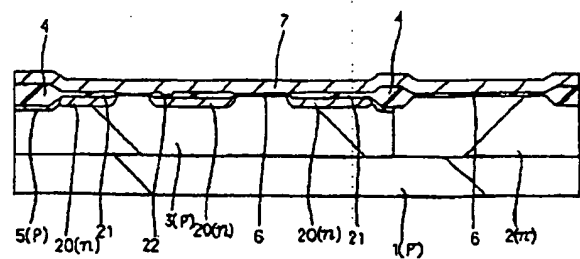
【図 23】

図 23



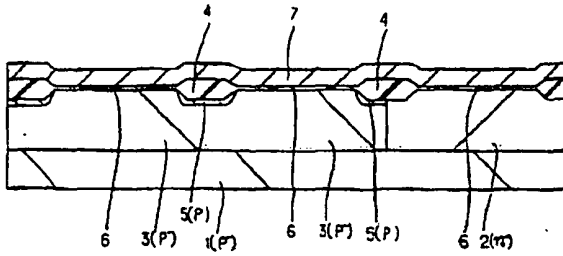
【図 24】

図 24



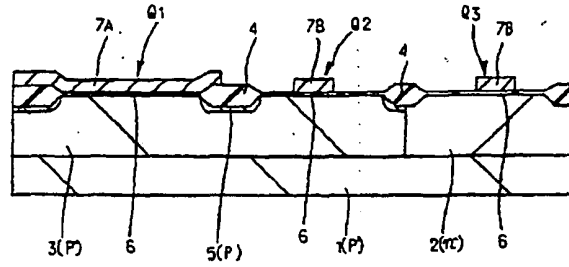
【図 2 5】

図 2 5



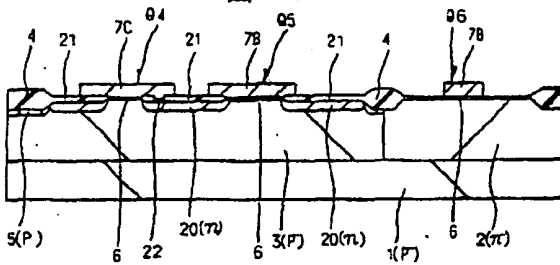
【図 2 6】

図 2 6



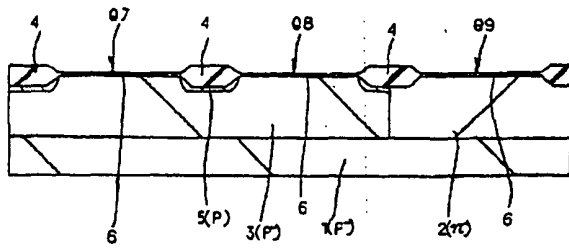
【図 2 7】

図 2 7



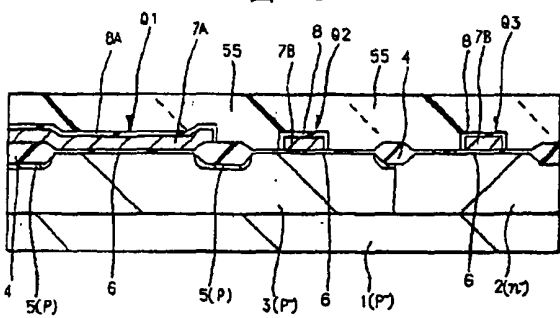
【図 2 8】

図 2 8



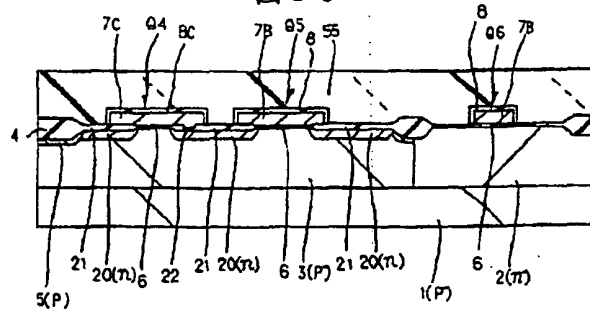
【図 2 9】

図 2 9



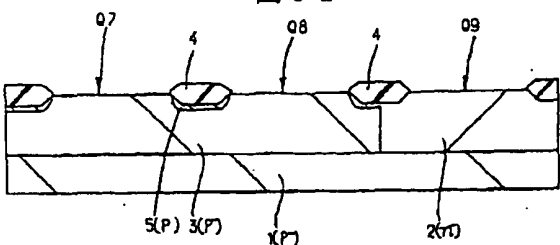
【図 3 0】

図 3 0



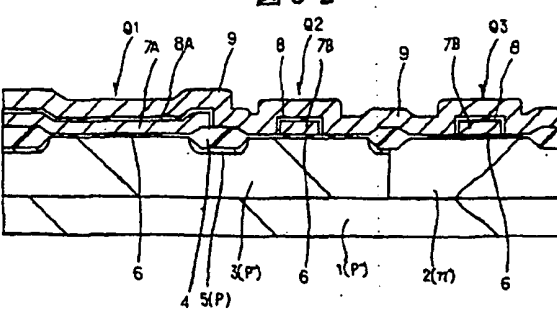
【図 3 1】

図 3 1

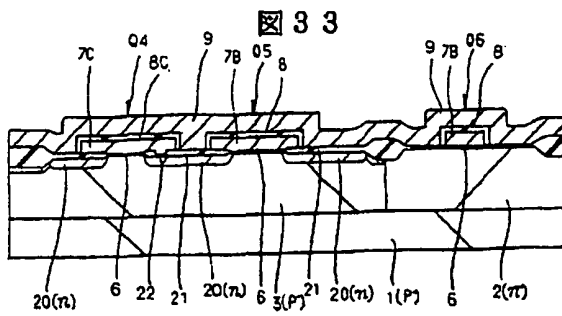


【図 3 2】

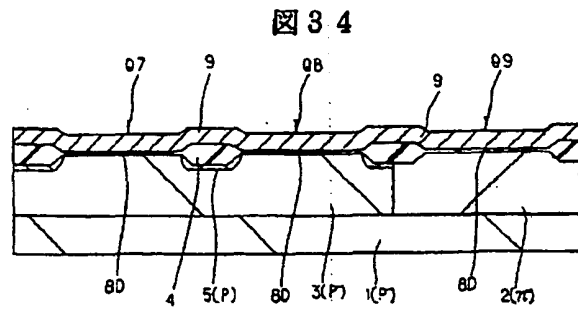
図 3 2



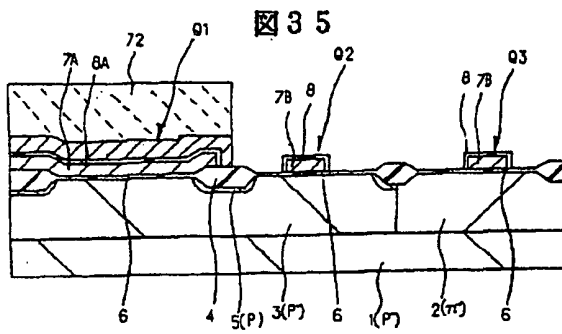
【図 33】



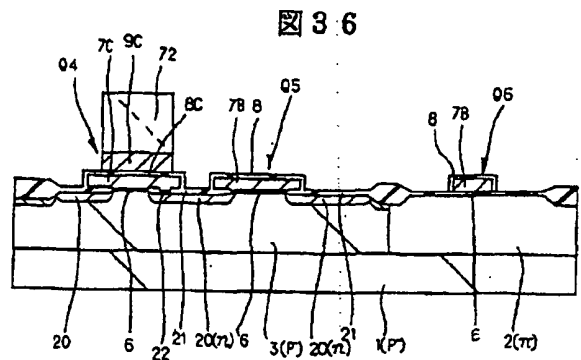
【図 34】



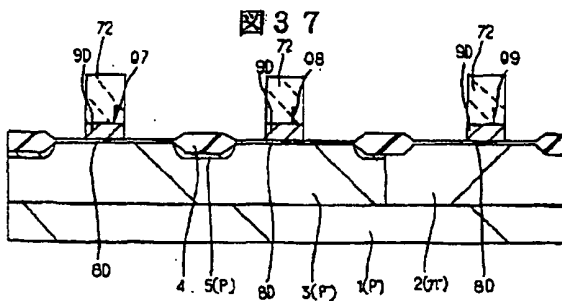
【図 35】



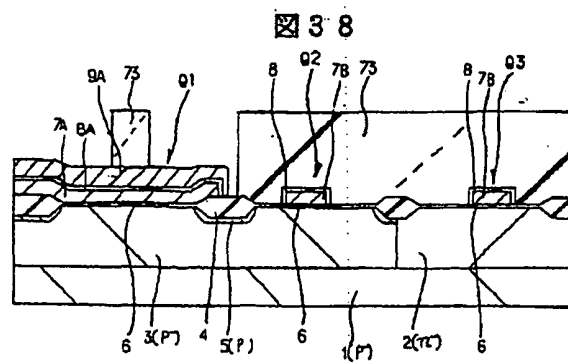
【図 36】



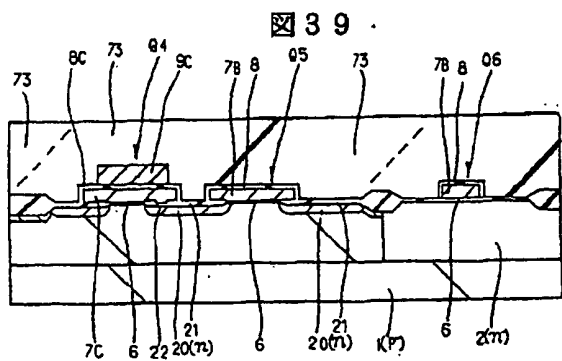
【図 37】



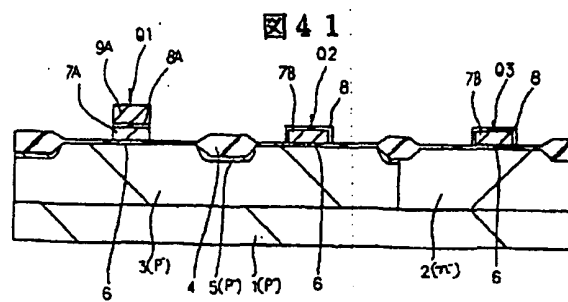
【図 38】



【図 39】



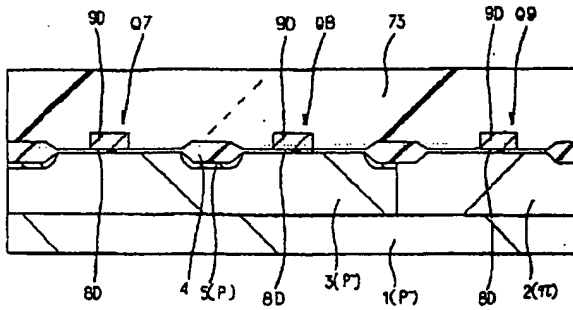
【図 41】





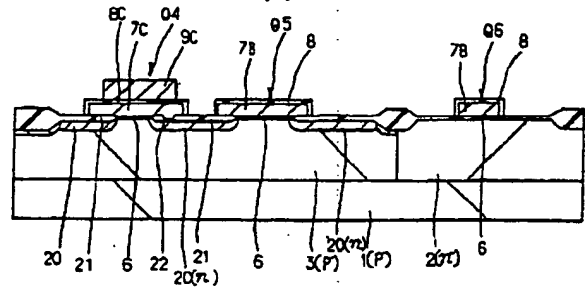
【図 40】

図 40



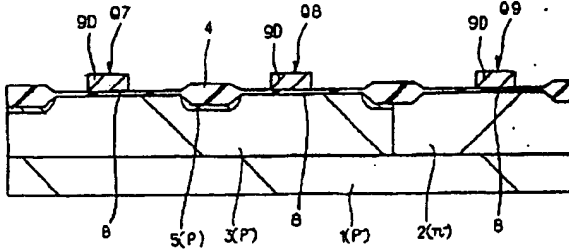
【図 42】

図 42



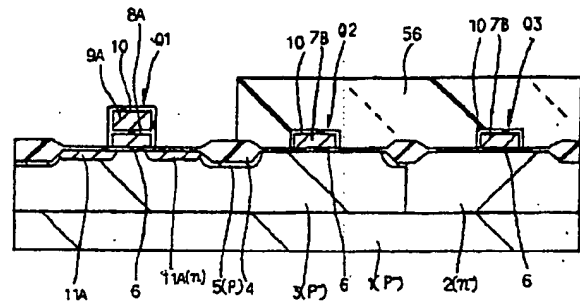
【図 43】

図 43



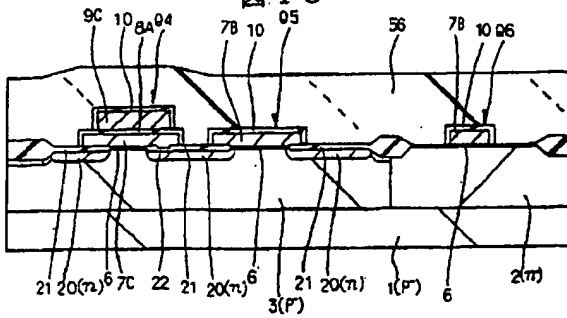
【図 44】

図 44



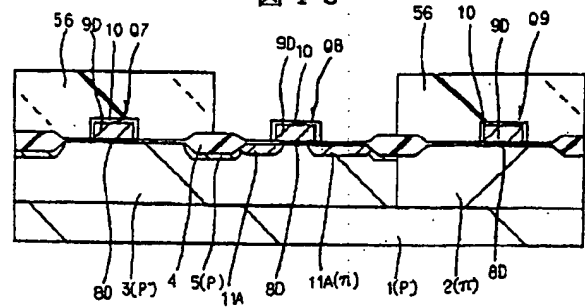
【図 45】

図 45



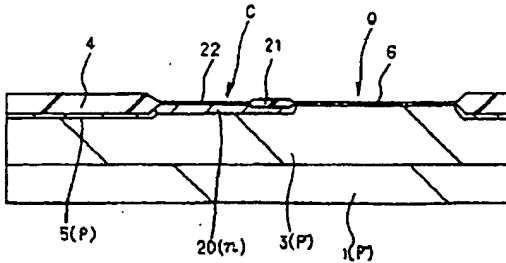
【図 46】

図 46

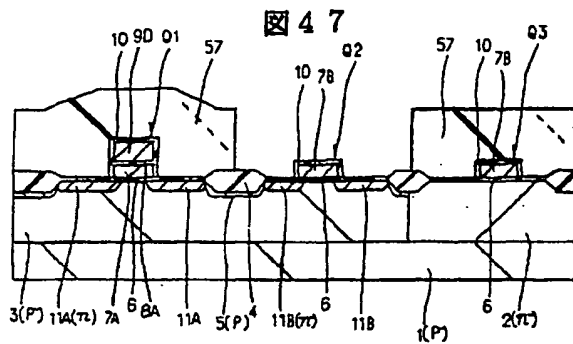


【図 60】

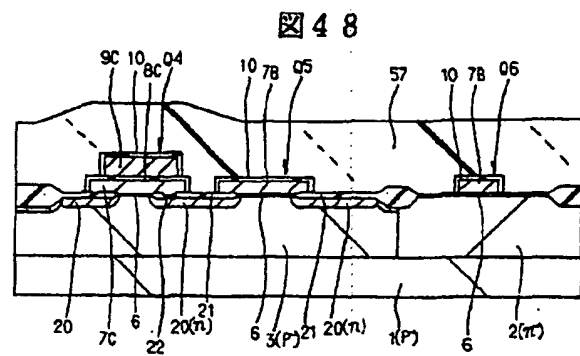
図 60



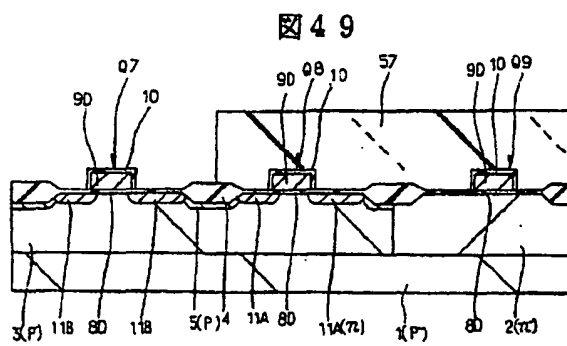
【図 47】



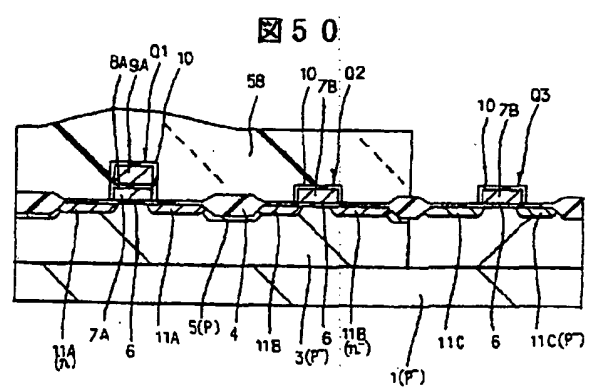
【図 48】



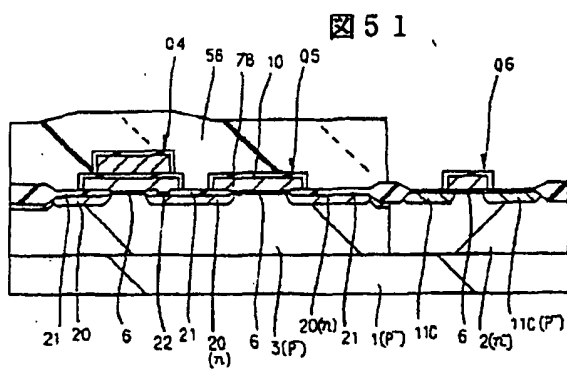
【図 49】



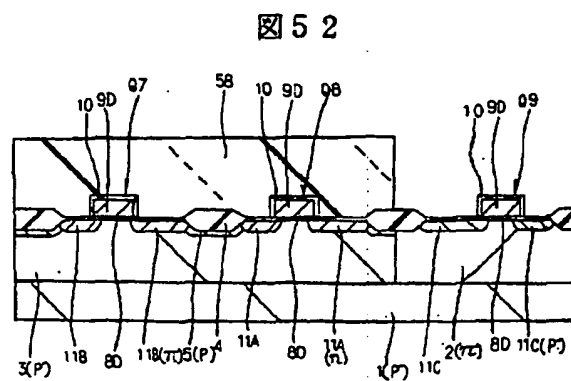
【図 50】



【図 51】

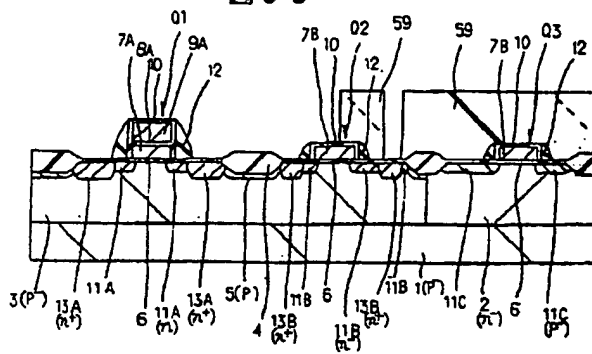


【図 52】



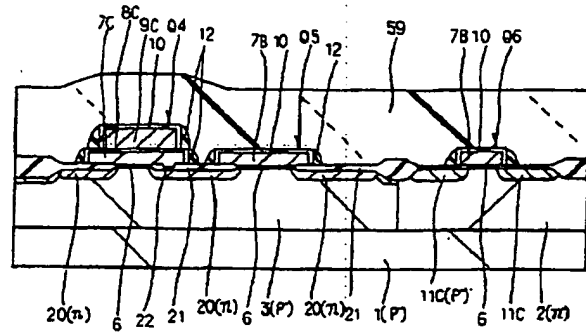
【図 5 3】

図 5 3



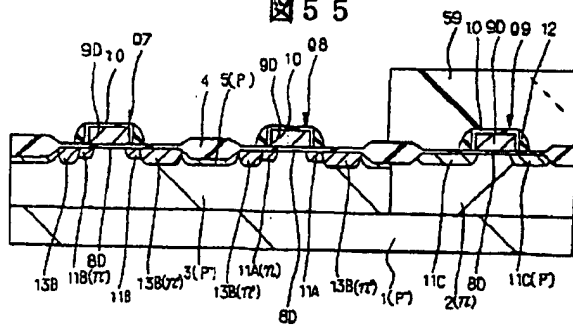
【図 5 4】

図 5 4



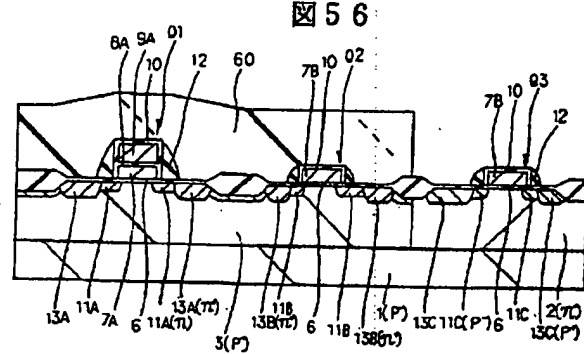
【図 5 5】

図 5 5



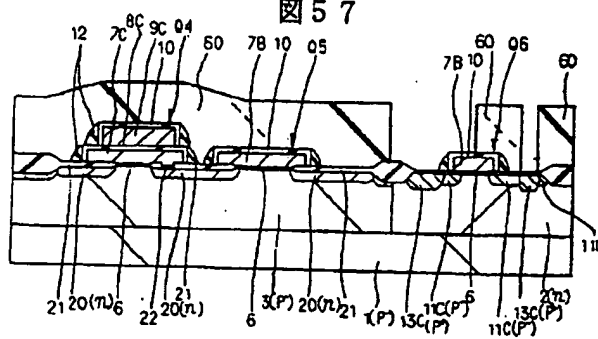
【図 5 6】

図 5 6



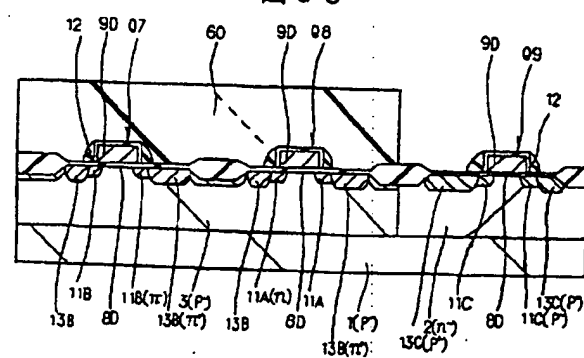
【図 5 7】

図 5 7



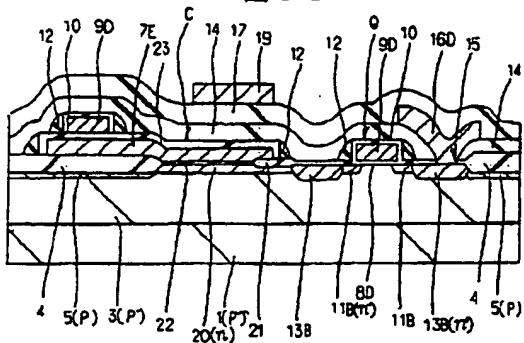
【図 5 8】

図 5 8



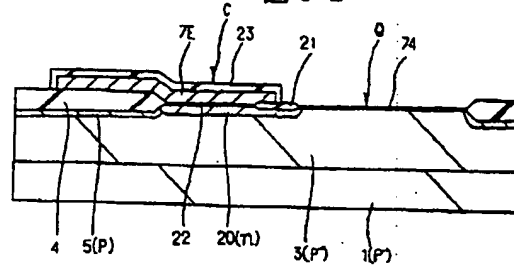
【図 59】

図 59



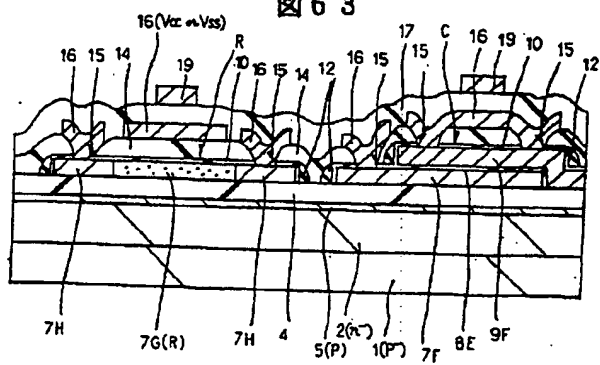
【図 61】

図 61



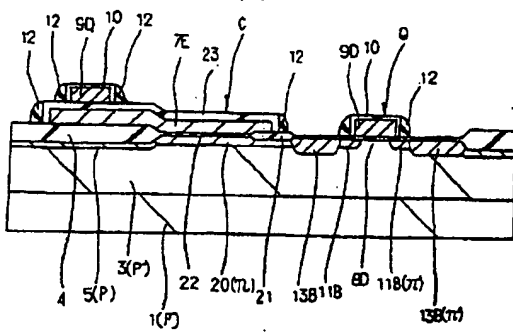
【図 63】

図 63



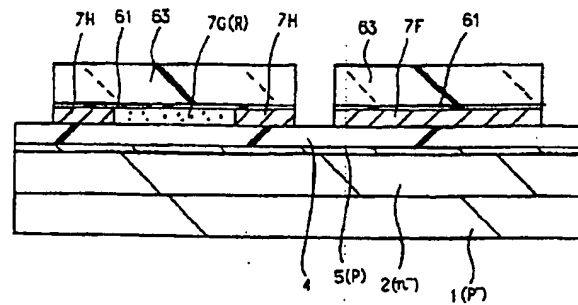
【図 62】

図 62



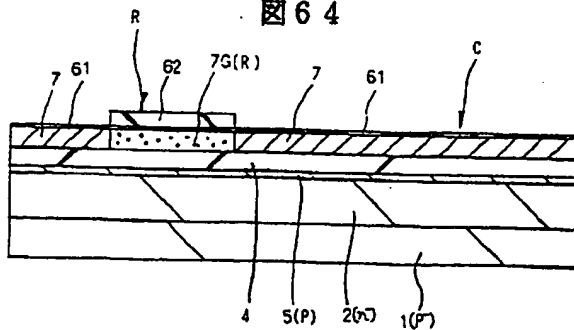
【図 65】

図 65



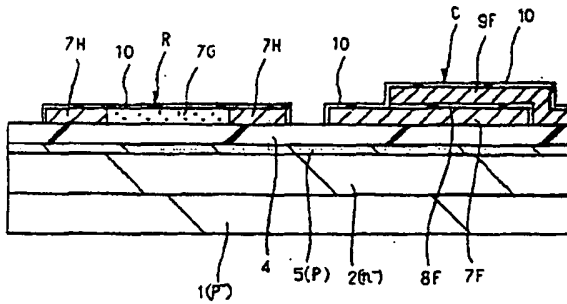
【図 64】

図 64



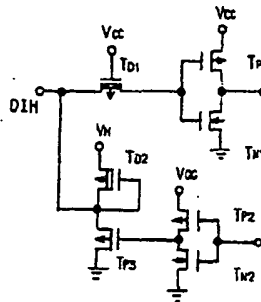
【図 6 6】

図 6 6



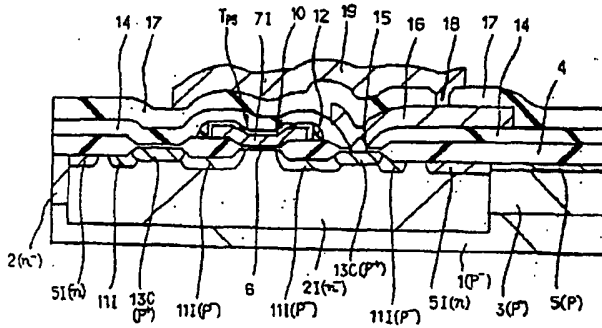
【図 6 7】

図 6 7



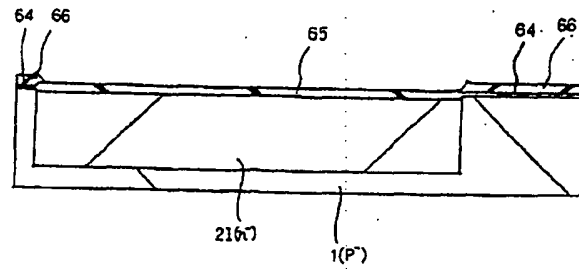
【図 6 8】

図 6 8



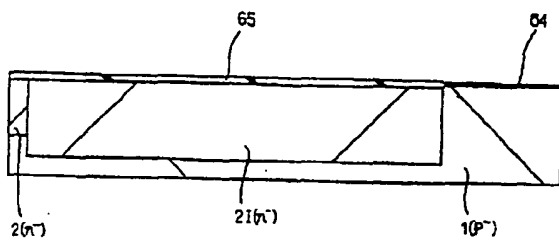
【図 6 9】

図 6 9



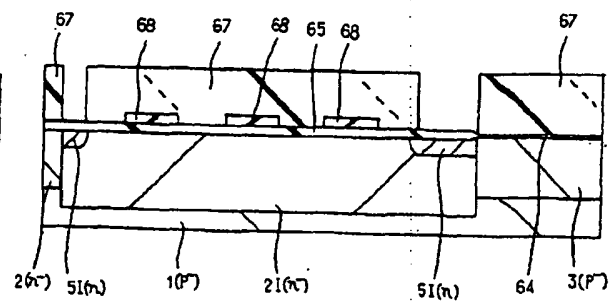
【図 7 0】

図 7 0



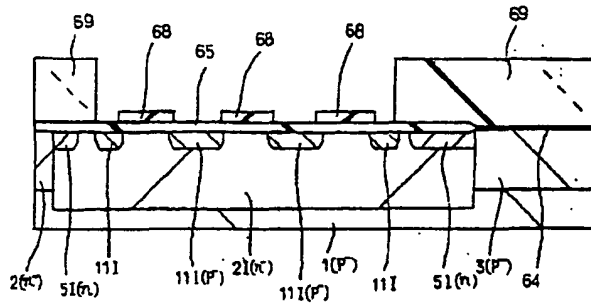
【図 7 1】

図 7 1



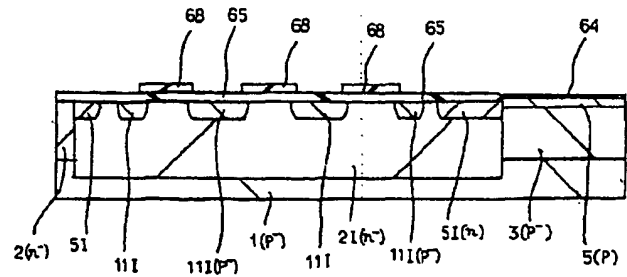
【图 7 2】

图 7 2



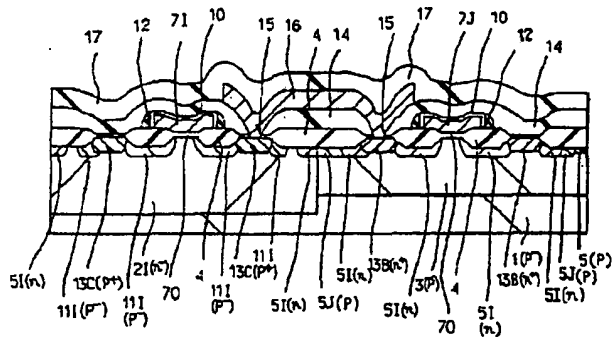
【图 7 3】

图 7-3



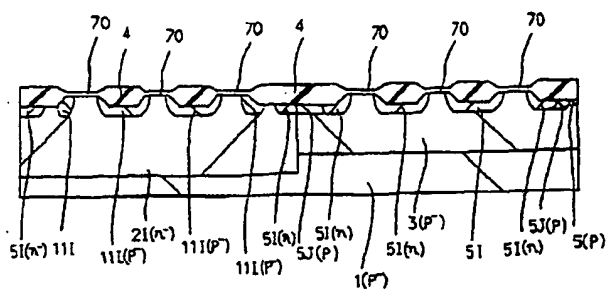
【图 7-4】

图 7-4

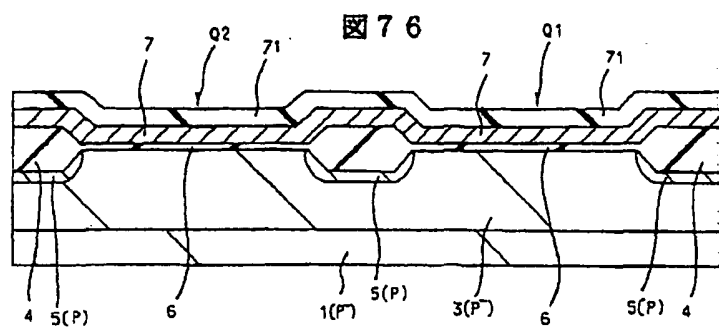


【图 7 5】

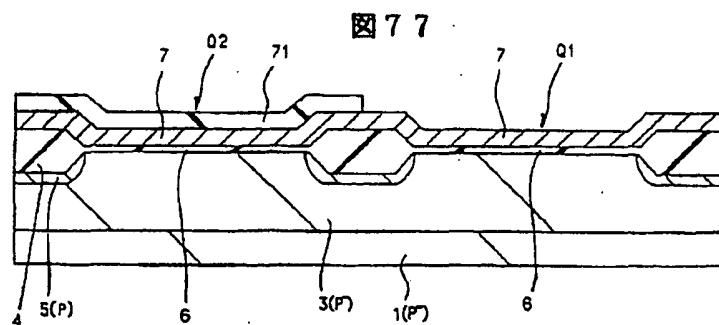
图 7 5



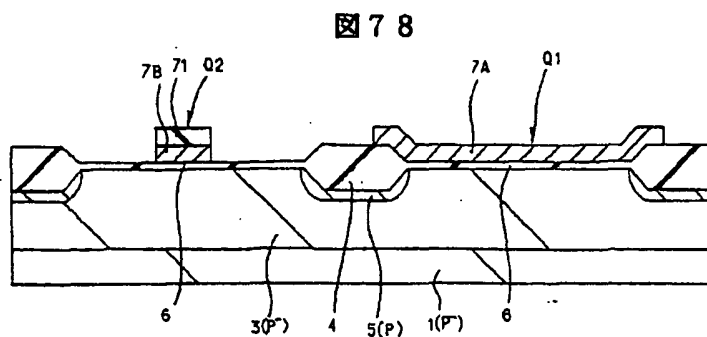
【図 76】



【図 77】

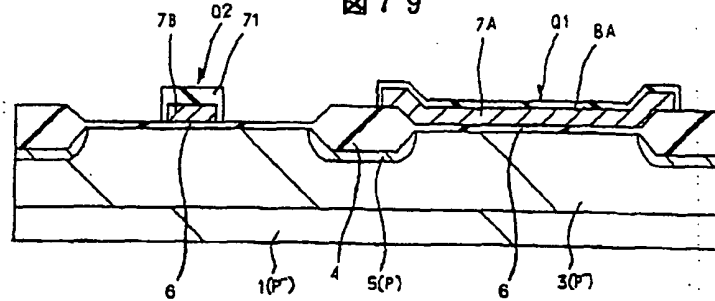


【図 78】



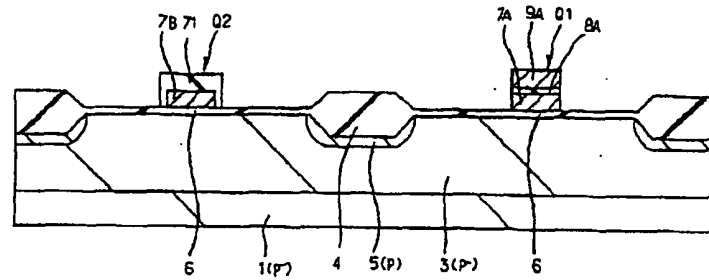
【図 79】

図 79



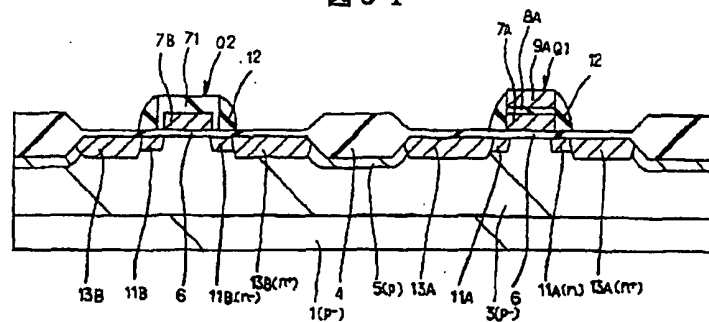
【図 80】

図 80



【図 81】

図 81



## 【手続補正書】

【提出日】平成 11 年 6 月 22 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明の一実施の形態である半導体集積回路装置のマイクロコンピュータを示すブロック図である。

【図 2】図 1 に示したマイクロコンピュータが備えている SRAM 108 のメモリセルの等価回路図である。

【図 3】前記マイクロコンピュータに搭載されている EPROM 105 の概略構成を示す等価回路図である。

【図 4】前記マイクロコンピュータに搭載されている EEPROM 107 の概略構成を示す等価回路図である。

【図 5】前記マイクロコンピュータの EPROM, EEPROM 及び CPU 等の論理部を構成する MISFET の製造工程における断面図である。



【図39】前記マイクロコンピュータのEPROM. E

EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図40】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図41】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図42】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図43】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図44】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図45】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図46】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図47】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図48】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図49】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図50】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図51】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図52】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図53】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図54】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図55】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図56】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図57】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図58】前記マイクロコンピュータのEPROM, EPROM及びCPU等の論理部を構成するMISFETの製造工程における断面図である。

【図59】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図60】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図61】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図62】前記マイクロコンピュータに設けられているDRAMのメモリセルの製造工程における断面図である。

【図63】前記マイクロコンピュータが備えている演算増幅器、アナログ／デジタル変換器、デジタル／アナログ変換器の中の容量素子と抵抗素子の断面図である。

【図64】図63に示す容量素子と抵抗素子の製造工程における断面図である。

【図65】図63に示す容量素子と抵抗素子の製造工程における断面図である。

【図66】図63に示す容量素子と抵抗素子の製造工程における断面図である。

【図67】図1に示すマイクロコンピュータのI/Oの中の一つのI/Oセルを示す等価回路図である。

【図68】図67に示すPチャネルMISFETの断面図である。

【図69】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図70】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図71】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図72】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図73】図68に示すPチャネルMISFET<sub>n</sub>の製造工程における断面図である。

【図74】図68に示すPチャネルMISFETのゲート絶縁膜6より厚いゲート絶縁膜70を用いたPチャネルMISFET及びNチャネルMISFETの断面図である。

【図75】図74に示すPチャネルMISFET及びNチャネルMISFETの製造工程における断面図である。

る。

【図 7 6】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MIS FET の製造方法を説明する断面図である。

【図 7 7】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MIS FET の製造方法を説明する断面図である。

【図 7 8】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MIS FET の製造方法を説明する断面図である。

【図 7 9】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MIS FET の製造方法を説明する断面図である。

【図 8 0】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすことなくソース、ドレインを形成することができる MIS FET の製造方法を説明する断面図である。

【図 8 1】ゲート電極を第 1 層目の多結晶シリコン膜で形成し、さらにチャネル領域に不純物イオンを漏らすこ

となくソース、ドレインを形成することができる MIS FET の製造方法を説明する断面図である。

【符号の説明】

1…半導体チップ（マイクロコンピュータ）、100…CPU、101…OSC、102…I/O、103…SI、104…TIMER、105…EPROM、106…電圧制御回路、107…EEPROM、108…SRAM、109…DRAM、110…I/OBUS、Q1…EPROMのメモリセル、Q2、Q3…周辺回路のMISFET、Q4…EEPROMのメモリセルの中の記憶素子、Q5、Q6…EEPROMの周辺回路のMISFET、Q7、Q9…CPUのMISFET、Q8…MISFET、6…第1ゲート絶縁膜、7A、7B、7C…第1層目の導電膜からなるゲート電極、8A、8C…フローティングゲート電極の上の第2ゲート絶縁膜、8D…CPU及びI/O領域の第1ゲート絶縁膜、9A、9C、9D…第2層目の導電膜からなるゲート電極、10…薄い酸化シリコン膜、11A、11B、11C…ソース、ドレインの低濃度層、12…サイドウォール、13A、13B、13C…ソース、ドレインの高濃度層、20…EEPROMのn型ソース、ドレイン、21…厚いゲート絶縁膜、22…トンネル絶縁膜。